ЭТ

ТЕЗИСЫ ДОКЛАДОВ И РЕКОМЕНДАЦИИ НАУЧНО-ТЕХНИЧЕСКИХ КОНФЕРЕНЦИЙ

Серия 3

МИКРОЭЛЕКТРОНИКА

Выпуск 1 (77)

МИКРОСХЕМЫ СЕРИЙ К519 И К527 В ЗАПОМИНАЮЩИХ УСТРОЙСТВАХ ВЫЧИСЛИТЕЛЬНОЙ ТЕХНИКИ И АВТОМАТИКИ

1977

УДК 681.327.2-52:061.3

Использование микросхем полупроводниковой памяти, в частности, серий К519 и К527 упрощает процессы проектирования и производства запоминающих устройств (ЗУ) и делает возможной разработку рядов ЗУ на единой схемной и конструктивно-технологической базе. При этом облегчается не только проектирование, но и производство ЗУ, изготовление которых сводится к типовым операциям сборки и монтажа аппаратуры. Увеличивается гибкость проектирования и производства, значительно сокращаются сроки разработок и освоения, трудоемкость производства запоминающих устройств.

Замена ферритовых запоминающих устройств полупроводниковыми дает возможность улучшения технико-экономических показателей аппаратуры автоматики и вычислительной техники, уменьшения ее габаритов и веса, повышения быстродействия и функциональной надежности.

Таким образом, в результате внедрения полупроводниковых ЗУ обеспечивается комплексное повышение эффективности проектирования и производства, достигается экономический выигрыш.

Участники семинара отмечают, что перед разработчиками электронной аппаратуры остро стоит вопрос создания интегральных схем перепрограммируемых постоянных ЗУ (ППЗУ) с возможностью электрической перезаписи информации. В связи с этим, разработанные схемы серии К519 представляют значительный практический интерес для потребителей и позволяют строить узлы и блоки ППЗУ, которые могут с успехом использоваться во многих системах цифровой техники.

(Из решения семинара)

Научный редактор *Л. С. Коробков*

© Центральный научно-исследовательский институт «Электроника», 1977

МИНИСТЕРСТВО ЭЛЕКТРОННОЙ ПРОМЫШЛЕННОСТИ СССР

Тезисы докладов и рекомендации научно-технических конференций, совещаний и семинаров по электронной технике

Серия 3 „Микроэлектроника"

ВЫПУСК 1(77)

МИКРОСХЕМЫ СЕРИЙ К519 И К527 В ЗАПОМИНАЮЩИХ УСТРОЙСТВАХ ВЫЧИСЛИТЕЛЬНОЙ ТЕХНИКИ И АВТОМАТИКИ

СОДЕРЖАНИЕ

М. И. Антонов, Е. В. Букреев, Л. С. Коробков, В. Д. Сафонов, В. П. Хромов, А. А. Кассихин. Полупроводниковые интегральные схемы памяти серий К519 и К527 3

Н. П. Попов. Сравнительные данные блоков ОЗУ на магнитных и полупроводниковых запоминающих элементах. Некоторые технические решения 6

А. Е. Ашман, Е. В. Петров, Г. В. Аронова, И. А. Монахова. Построение ряда оперативных запоминающих устройств на микросхемах К527РУ2 9

А. Е. Ашман, Г. В. Аронова. Некоторые методы повышения достоверности работы и информационной надежности полупроводниковых ОЗУ 15

В. С. Бронников, Г. Г. Ярославцев. Полупроводниковые ЗУ на интегральных микросхемах серии К527 19

Ю. П. Алов, В. В. Касьянов, Ю. Г. Петров, В. И. Пятаев. Применение микросхем памяти серий К519 и К527 в устройствах измерительной техники 26

Б. А. Горбачев, К. Я. Кессель, В. П. Буторин, Л. С. Коробков, Н. Н. Зайцева. Запоминающее устройство многоканального частотного интегратора на базе интегральных схем памяти . . . 28

И. И. Толкачев, А. В. Леневич, В. М. Савкин, В. Д. Трофимов, Н. Ф. Истомин, Г. А. Ладнюк. Блоки оперативной памяти на основе микросхем К527РУ1 и К527РУ2 37

ЦНИИ «ЭЛЕКТРОНИКА» МОСКВА 1977

Ю. И. Петров. Использование микросхем ОЗУ серии К527 в интерполирующем функциональном преобразователе 40

В. А. Герасимов, Р. В. Смирнов, Г. В. Виталиев. Разработка ОЗУ емкостью 32 кбайта на основе микросхем памяти К527РУ2 . 46

Р. В. Смирнов, Г. Д. Софийский, Г. Н. Блохина, А. П. Янушкевич. Оперативные запоминающие устройства на основе микросхем памяти К527РУ1 48

Э. А. Купер, В. И. Нифонтов, Ю. И. Ощепков, Г. С. Пискунов, В. Я. Сазанский. Организация оперативной памяти в информационно-измерительных системах для управления комплексом физических установок 49

А. М. Батраков, В. И. Нифонтов, В. Р. Козак, А. Д. Хильченко. Организация оперативной памяти в универсальной автоматизированной измерительной системе 50

И. Я. Браверман. Универсальный блок индикации с электролюминесцентным матричным экраном и буферным запоминающим устройством 50

Б. С. Балтушевич. Оперативное запоминающее устройство для специализированного вычислителя 60

К. Э. Асратян, А. А. Жаров, Л. Х. Маскин, А. П. Шарапов. Применение микросхем К527Р1 в специализированном ОЗУ с малым энергопотреблением 60

А. З. Азбиль, М. Ю. Кляшторный, В. И. Мандриков, В. В. Смирнов. К вопросу о применении ИМС серий К519 и К527 в системах сбора и обработки данных 64

Э. Э. Гербек. Запоминающее устройство в крейт-контроллере «Камак» 68

В. В. Юрко, О. М. Накцев, М. М. Милых, В. Л. Рева, Ю. В. Дубовик. Применение схем памяти серий К519, К527 в цифровых фильтрах 71

П. Г. Годлевский, О. Б. Гомза, Б. М. Кац, Б. М. Олифер. Применение схем памяти в медицинской аппаратуре 74

В. П. Бадиков. Организация блока памяти с электрической перезаписью информации на микросхемах К519РЕ1 75

Б. С. Балтушевич. Некоторые вопросы структурной организации долговременного ЗУ с электрической сменой информации . . 77

В. Д. Сафонов. Применение электрически перепрограммируемых микросхем ПЗУ серии К519 в микропрограммных устройствах . . 78

Ю. М. Котровский. Опыт разработки электроники обрамления полупостоянного запоминающего устройства (ППЗУ) емкостью 256×16 разрядных слов 82

В. М. Сидоров, В. С. Плеханов, И. Г. Вагнер. Работа долговременного запоминающего устройства на МДП-структурах в режиме аналоговой памяти 82

В. С. Понурьев, П. И. Зозуля, В. В. Малоок, А. А. Славицкий. Перспективы применения микросхем серии К519РЕ1 в устройствах телемеханики 84

В. П. Андреев, П. В. Белов, М. И. Антонов. Использование микросхем типа К519РЕ1 в ПЗУ с электрической сменой информации . 85

О. В. Давидовский, В. И. Ковалев, В. П. Кудрявцев. Полупостоянное запоминающее устройство (ППЗУ) на микросхемах К519РЕ2 88

Антонов М. И., Букреев Е. В., Коробков Л. С., Сафонов В. Д., Хромов В. П., Кассихин А. А.

ПОЛУПРОВОДНИКОВЫЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ ПАМЯТИ СЕРИЙ К519 И К527

Отечественной промышленностью разработаны и освоены в производстве полупроводниковые микросхемы статических ОЗУ с произвольной выборкой на основе МДП-технологии с кремниевым затвором и перепрограммируемых постоянных ЗУ (ППЗУ) с электрической сменой информации.

Технология кремниевого затвора в связи с ее относительной простотой и возможностью создания 3-х уровней разводки позволяет обеспечить промышленное производство БИС большой степени интеграции.

Микросхемы К527РУ1 и К527РУ2, выполненные по данной технологии, представляют собой ОЗУ с организацией соответственно 64 и 256 одноразрядных слов и включают в себя запоминающую матрицу, построенную на статических триггерах, дешифратор, схемы записи, считывания и выбора кристалла.

Статический триггер как основа запоминающей матрицы обеспечивает неразрушающее считывание информации и устраняет необходимость ее регенерации в процессе хранения. Таким образом, микросхемы лишены существенных недостатков, свойственных ферритовым ОЗУ и ОЗУ на динамических ИС памяти. Отсутствие потребления мощности по всем управляющим входам, наличие схемы выбора кристалла позволяют практически снять ограничения по количеству непосредственно объединенных схем при конструировании блоков памяти. Согласование с ТТЛ и К-МОП ИС обеспечивается с помощью внешних резисторов.

Ценой незначительных аппаратурных затрат возможна организация режима импульсного питания ОЗУ, при котором в режиме обращения, характеризующемся заметным потреблением мощности, находится только выбранная часть ОЗУ емкостью 64(256) слов. Остальная его часть находится в режиме

хранения, в котором потребляемая мощность снижается более чем на порядок.

Импульсный режим питания ОЗУ практически не ухудшает его быстродействие, а переход из режима хранения в режим обращения и наоборот не требует специальной синхронизации.

В табл. 1 приведены основные параметры микросхем К527РУ1 и К527РУ2.

Таблица 1

Параметры	Тип схемы	
	К527РУ1	К527РУ2
Информационная емкость, *бит*	64	256
Количество разрядов в слове	1	1
Напряжение питания, *В*	—9; +5	—9; +5
Быстродействие (время считывания), *нс*	⩽900	⩽1000
Потребляемая мощность, *мВт/бит*		
при обращении	⩽3,5	⩽2,0
при хранении	⩾0,05	⩽0,05
Выходные уровни:		
— ток лог. «0», *мА*	⩾2,5	⩾2,5
— напряжение лог. «1», *В*	⩾4,0	⩾4,0
Входные уровни:		
— напряжение лог. «0», *В*	⩽0,4	⩽0,4
— напряжение лог. «1», *В*	⩾4,5	⩾4,5
Тип корпуса	401.14—4	402.16—1

ИС ППЗУ К519РЕ1 (РЕ2) обеспечивают многократную смену и длительное хранение информации при отключении источника питания.

Большим преимуществом этих схем является то, что они могут программироваться электрически. При изменении программы или обнаружении ошибки хранимая программа легко изменяется. Для электрической перезаписи в ППЗУ использована специальная запоминающая ячейка МДП-транзистор. В табл. 2 показаны основные параметры микросхем.

Оба типа схем разделены на группы по времени хранения информации с отключенными источниками питания: группа А — 2000 *ч*, группа Б — 500 *ч*.

Используя схемы выбора кристалла при записи и считывании, информационную емкость блока ЗУ наращивают непосредственным соединением соответствующих входов и выходов микросхем с управлением каждой микросхемой: в режиме считывания — по входам «выбор кристалла при считывании»,

в режиме записи — «выбор кристалла при записи» и «запрет записи».

Рекомендуемый коэффициент объединения по входам матрицы: для К519РЕ1 — 32, для К519РЕ2 — 16; по выходам — определяется требуемым временем считывания в зависимости от емкости нагрузки.

Таблица 2

Параметр	К519РЕ1	К519РЕ2
Информационная емкость, *бит*	128	256
Организация	16×8	64×4
Время записи (стирания) при напряжении записи/стирания ±48 *В*, *мс*	5	2
Время считывания, *нс*	≤250	≤300
Потребляемая мощность, *мВт/бит*	≤0,2	<0,2
Напряжение источников питания, *В*	—9;—24;—48	—9;—24;—48
Тип корпуса	244.48—1	244.48—1

Конкретная схема блоков ЗУ определяется разработчиком блока в зависимости от требований, предъявляемых к блоку. Для перехода от уровней ТТЛ логики к уровням входных сигналов микросхем ППЗУ используются преобразователи уровня, построенные на дискретных транзисторах, оптронах и т. п. Для согласования со схемами серии 155 по выходу можно использовать интегральные компараторы серии К521, усилители серии К170, а также другие усилители как в интегральном исполнении, так и на дискретных элементах.

Основные области применения микросхем ОЗУ и ППЗУ:

— буферные и оперативные запоминающие устройства специализированных ЭВМ;

— блоки памяти автономных объектов с ограниченным энергоресурсом;

— блоки памяти для станков с программным управлением;

— автоматическая телефония;

— устройства управления каналами цифровой связи;

— автоматизированные системы сбора и обработки информации;

— устройства отображения алфавитно-цифровой и графической информации (дисплеи);

— автоматизированное контрольно-измерительное оборудование;

— фактурно-бухгалтерские машины;

— кассовые аппараты;

— системы автоматизации физических экспериментов.

Попов Н. П.

СРАВНИТЕЛЬНЫЕ ДАННЫЕ БЛОКОВ ОЗУ НА МАГНИТНЫХ И ПОЛУПРОВОДНИКОВЫХ ЗАПОМИНАЮЩИХ ЭЛЕМЕНТАХ. НЕКОТОРЫЕ ТЕХНИЧЕСКИЕ РЕШЕНИЯ

Полупроводниковые элементы памяти, прежде всего, применяются там, где ранее использовались магнитные запоминающие элементы (ЗЭ), особенно в ОЗУ небольшого объема. Практика применения блоков памяти на основе многоотверстных ферритовых пластин показала основные их недостатки: большие габариты и вес, небольшое быстродействие, узкий диапазон рабочих температур, низкая технологичность изготовления из-за большой номенклатуры элементов, трудность настройки при изготовлении и эксплуатации, необходимость в сложной многотестовой аппаратуре настройки как при изготовлении, так и в эксплуатации, низкая ремонтопригодность, требующая большого ЗИП, сложность поиска неисправностей из-за низкого уровня выходного сигнала накопителя.

В таблице приведены некоторые сравнительные данные блока МОЗУ на ферритовых кубах памяти с обрамлением на гибридных интегральных схемах и полупроводникового ОЗУ на микросхемах К527РУ1 с обрамлением на микросхемах серии 133. С учетом того, что при совершенствовании технологии изготовления стоимость микросхем памяти будет падать, видна перспектива применения полупроводниковых элементов памяти.

Некоторые технические решения, примененные при создании блока ОЗУ на микросхемах К527РУ1:

— в схеме формирования управляющих сигналов использован управляющий генератор с частотой 2,5 *мГц* на линии задержки и кольцевой распределитель на четырех триггерах;

— объем основной ячейки памяти принят равным 512×8 *бит*. При такой организации памяти требуется минимальное обрамление с оптимальным коэффициентом нагрузки на согласующие микросхемы;

— для уменьшения импульсных помех и мгновенной потребляемой мощности имеется плата импульсного питания, обеспечивающая снижение импульсных помех и мощности в режиме хранения в восемь раз за счет разделения их во времени с помощью кольцевого распределителя;

— в платах все навесные элементы, кроме микросхем, размещены со стороны установки разъема типа ГРПМ1, а микросхемы расположены с противоположной стороны. Это позволяет сократить операцию облуживания контактных площадок

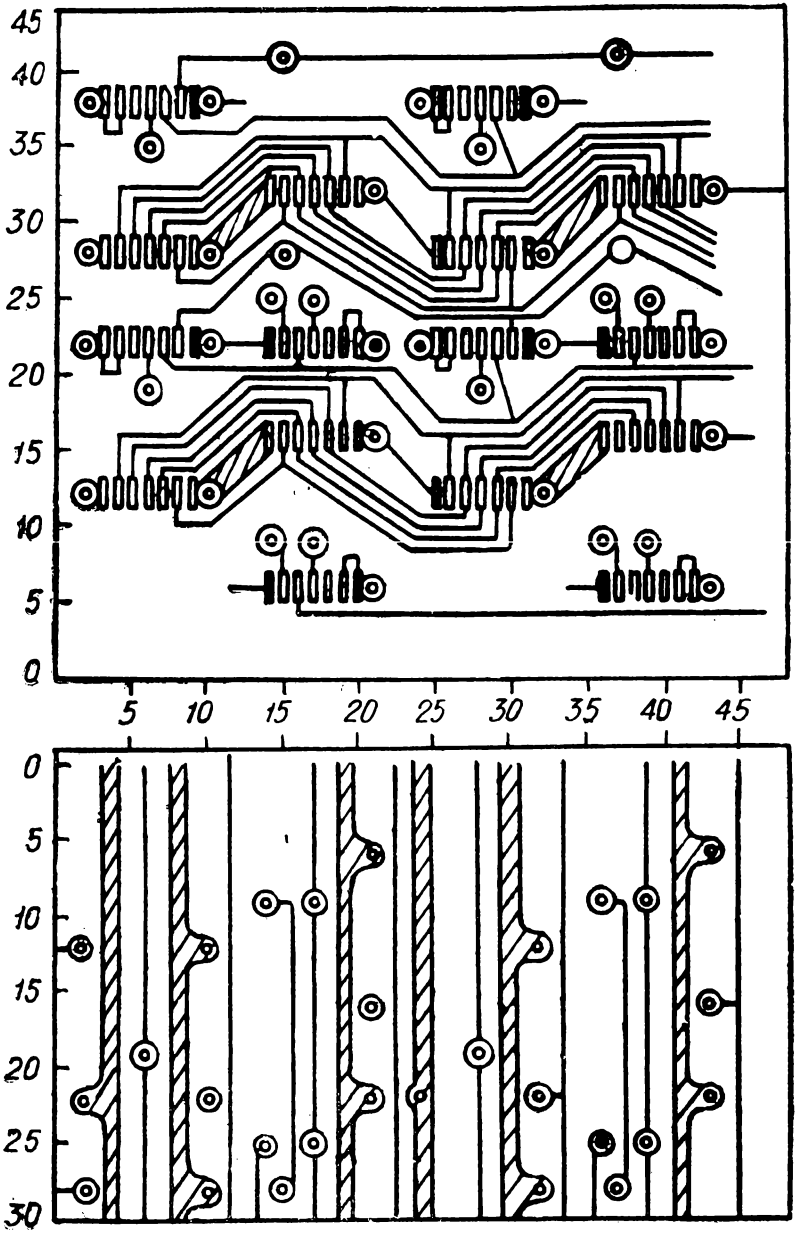


Рис. 1 и 2

для установки микросхем, так как при пайке «волной» одновременно запаиваются все навесные элементы (кроме микросхем) и облуживаются контактные площадки микросхем;

— с целью уплотнения монтажа применен прямой шахматный порядок микросхем с встречным расположением одноименных выводов (рис. 1). На рис. 2 показан печатный монтаж восьми микросхем типа К527РУ1. При таком расположении 32 микросхемы памяти (объем 512×4) занимают прямоугольник размером 105×85 *мм*. При этом емкость печатных проводников связи равна 30—50 *пФ*.

Сравнительные данные блоков МОЗУ и ПОЗУ

Показатель	МОЗУ	ПОЗУ
Информационная емкость, *бит*	17408	17408
Организация памяти	512×34	512×34
Быстродействие, *кГц*	130	500
Количество элементов, *шт*	2540	900
Потребляемая мощность, *Вт*	40	25
Количество плат со схемой управления, *шт*	9	6
Количество мест, используемых под платы, *шт*	11	6
Стоимость накопителя	Одинаковая*	
Стоимость схем обслуживания, *усл. ед.*	1	$\frac{1}{3}$
Стоимость ЗИП, *усл. ед.*	1	$\frac{1}{5}$
Заработная плата на изготовление блока, *усл. ед.*	1	$\frac{3}{4}$
Заработная плата на настройку, *усл. ед.*	1	$\frac{1}{8}$
Среднее время поиска неисправности, *усл. ед.*	1	$\frac{1}{5}$

* Имеется тенденция к снижению.

Однако, несмотря на большие достоинства полупроводниковых элементов памяти, следует отметить некоторые их недостатки:

— все еще высокую потребляемую мощность;

— большое время считывания;

— разрушение информации при выключении питания.

Ашман А. Е., Петров Е. В.,
Аронова Г. В., Монахова И. А.

ПОСТРОЕНИЕ РЯДА ОПЕРАТИВНЫХ ЗАПОМИНАЮЩИХ УСТРОЙСТВ НА МИКРОСХЕМАХ К527РУ2

Ряд оперативных ЗУ на микросхемах К527РУ2 предназначен для использования в вычислительных комплексах обработки информации и позволяет на базе трех типов сменных модулей комплектовать устройства емкостью от 9 *кбит* (512 18-разрядных слов) до 72 *кбит* (4096 36-разрядных слов). Основные характеристики ОЗУ различной емкости приведены в табл. 1.

Таблица 1

Характеристики ОЗУ на микросхемах К527РУ2

Классификационное обозначение	ОЗУ—0,5|2	ОЗУ—1|2	ОЗУ—0,5|4	ОЗУ—2|4
Емкость ОЗУ	512 слов 16(18)-разр.	1024 слова 16(18)-разр.	512 слов 32(36)-разр.	2048 слов 32(36)-разр.
Количество модулей (с модулем контроля)	2(3)	3(4)	4	10
Физический объем, занимаемый ОЗУ	1,4(2,1)	2,1(2,8)	2,8	7
Согласование с микросхемами (по входу и выходу)	серии 130, 133, 134, 136			

Основой ОЗУ является модуль памяти, содержащий запоминающую матрицу на 512 20-разрядных слов. 16 разрядов образуют два информационных байта, 2 разряда используются для побайтного контроля по модулю 2, и еще 2 разряда — для хранения контрольных символов итеративного кода. На этом модуле размещено также необходимое электронное обрамление, включающее в себя регистр числа и выходные магистральные вентили. Размер платы — 170×200 *мм*.

Модуль управления обеспечивает формирование сигналов управления и синхронизации по заданной временной диаграмме. В него, кроме того, входят регистр адреса и схемы индикации. Дополнительное контрольное оборудование, обеспечивающее эффективную проверку правильности работы ОЗУ с

помощью итеративного кода, сосредоточено в отдельном модуле.

В ОЗУ каждого типа входит один модуль управления и необходимое количество модулей памяти. Модуль контроля включается в комплект по усмотрению пользователя. Модули собираются в конструктивно законченный блок с разъемным соединением. Общая структурная схема устройства представлена на рис. 1.

Особенностью рассматриваемого ряда ОЗУ является реализация во всех режимах работы импульсного питания микросхем памяти. Благодаря этому удается значительно снизить мощность, рассеиваемую запоминающей матрицей (для ОЗУ емкостью в 512 слов почти вдвое, емкостью в 1024 слова — примерно в 4 раза и т. д.). Снижается мощность потребления и при уменьшении частоты обращения. Данные, характеризующие эффективность принятой системы питания, приведены в табл. 2. Импульсы питания формируются ключами (КТС622, КІНТ251).

Таблица 2

Энергетические характеристики ОЗУ на микросхемах К527РУ2

Режим работы	Рассеиваемая мощность, *Вт*						
	модуль памяти			ОЗУ—0,5|2	ОЗУ—1|2	ОЗУ—0,5|4	ОЗУ—2|4
	+5*В*	−9*В*	общая мощн.	(512×16)	(1024×16)	(512×32)	(2048×32)
При постоянном питании	5,2	5,8	11	17	28	28	50
При импульсном питании и максимальной частоте обращения	3,8	3,4	7,2	13,2	15,5	20,4	25
При импульсном питании и средней частоте 100 *кГц*	2,65	1	3,65	9,6	11,9	13,3	17,8
При импульсном питании в режиме хранения	2,15	0,1	2,25	8,2	10,5	10,5	15,0

Схема управления (синхронизации) обеспечивает формирование сигналов для трех режимов работы ОЗУ: запись информации, чтение и комбинированный цикл (запись новой информации после считывания по старому адресу). Временные диаграммы всех трех режимов приведены на рис. 2.

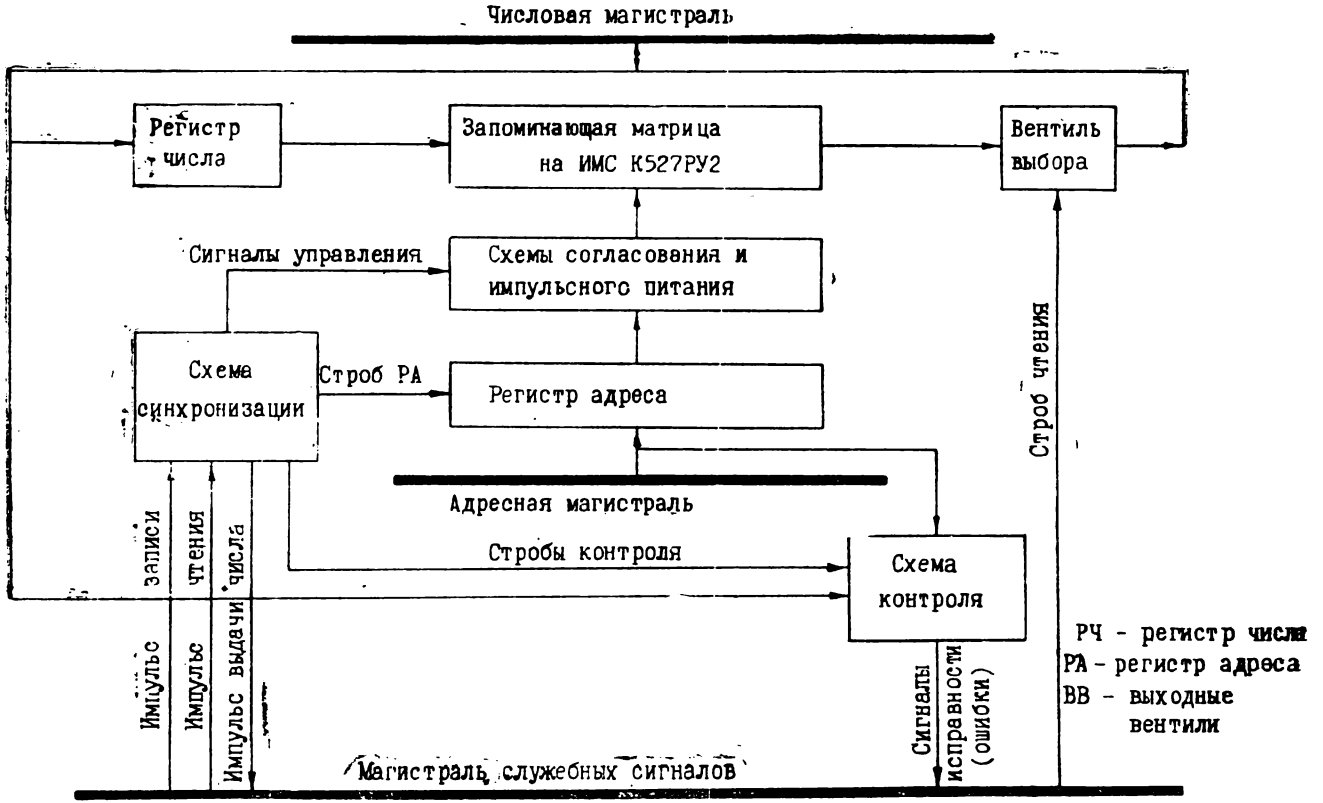

Числовая магистраль
Регистр числа
Запоминающая матрица на ИМС К527РУ2
Вентиль выбора
Сигналы управления
Схемы согласования и импульсного питания
Схема синхронизации
Строб РА
Регистр адреса
Адресная магистраль
Стробы контроля
Схема контроля
Строб чтения
Импульс записи
Импульс чтения
Импульс выдачи числа
Сигналы исправности (ошибки)
Магистраль служебных сигналов
РЧ - регистр числа
РА - регистр адреса
ВВ - выходные вентили

Рис. 1

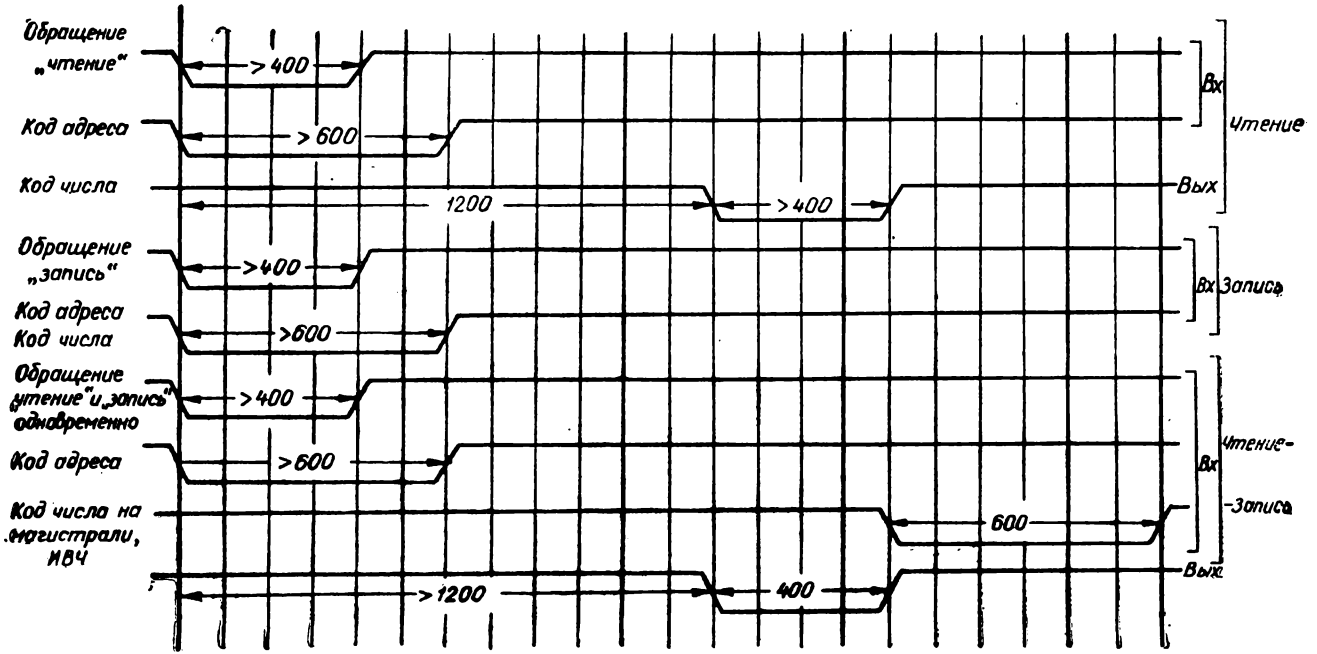

Обращение „чтение"
> 400
Код адреса
> 600
Код числа
1200
> 400
Вх
Чтение
Вых
Обращение „запись"
> 400
Код адреса
Код числа
> 600
Вх
Запись
Обращение „чтение" и „запись" одновременно
> 400
Код адреса
> 600
Код числа на магистрали, ИВЧ
600
> 1200
400
Вх
Чтение-Запись
Вых

Рис. 2

В режиме чтения время выборки составляет 1200 *нс*; из них 200 *нс* занимает ввод кода адреса в регистр, включение схем управления и подача управляющих сигналов и импульсного питания. Собственное время выборки информации из запоминающей матрицы составляет 1000 *нс*, что создает некоторый запас по быстродействию при работе устройства в широком диапазоне температур. Отчасти этот запас необходим также для покрытия колебаний параметров схем синхронизации, формирующих временные задержки.

Цикл записи складывается из ввода информации в регистры (примерно 100 *нс*), контроля правильности приема или образования контрольных кодов (примерно 200 *нс*) и особенно занесения информации в запоминающую матрицу. Длительность последней операции установлена равной 800 *нс*, что также обеспечивает некоторый запас во всем диапазоне рабочих температур. Таким образом, общий цикл записи заканчивается через 1100 *нс* после начала обращения.

В устройстве предусмотрена возможность контроля результатов занесения информации по выходу микросхем К527РУ2, которые в режиме записи не блокируются. При этом длительность цикла несколько увеличивается.

Комбинированный цикл предназначен для записи результатов обработки считанной информации без изменения адреса. Длительность этого цикла, включая контроль (примерно 400 *нс*) и время обработки (400 *нс*), составляет 2,6 *мкс*. Эта максимальная длительность цикла может быть использована во всех трех режимах. Вместе с тем, в режиме записи и чтения пользователь внешними сигналами может осуществить прерывание программы по завершении любой операции (например, после приема информации из ОЗУ, при получении сигнала ошибки и т. д.).

Основное оборудование ОЗУ охвачено глубокой системой встроенного контроля. Принципы построения этой системы изложены в нашей работе — см. литературу.

Ниже приведены некоторые результаты испытаний экспериментального образца ОЗУ емкостью 512 36-разрядных слов. Испытания проводились на контрольно-проверочной аппаратуре, обеспечивающей запись произвольного кода по любому адресу, контроль правильности записи и чтения, а также прохождение тестовых программ.

В нормальных климатических условиях блок устойчиво функционировал при изменении напряжения источников смещения подложки и импульсного питания в пределах, определенных техническими условиями (+10%).

Нижняя граница работоспособности ОЗУ по напряжению смещения подложки (рис. 3, *а*) составила около 3,5 *В*.

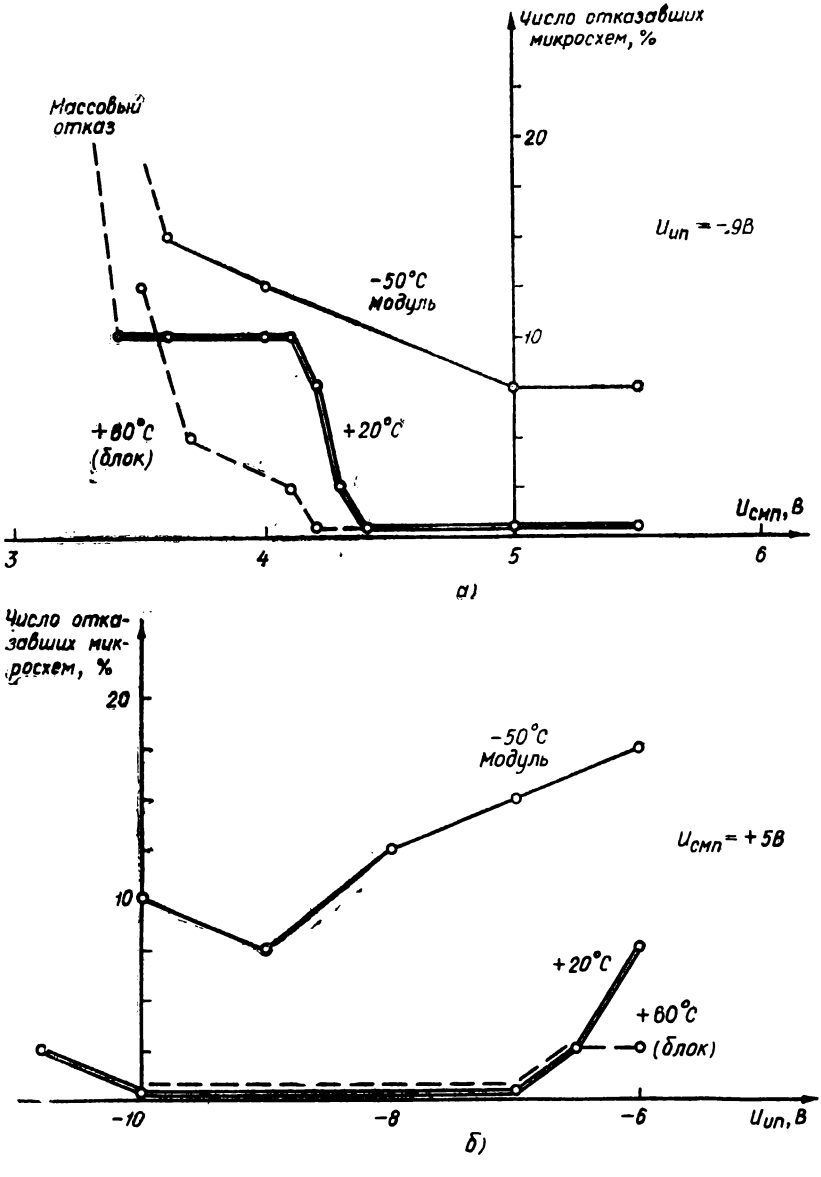

Число отказавших микросхем, %
Массовый отказ
20
10
$U_{ип} = -9В$
-50°С Модуль
+60°С (блок)
+20°С
$U_{смп}$, В
3
4
5
6
а)
Число отказавших микросхем, %
20
10
-50°С Модуль
$U_{смп} = +5В$
+20°С
+60°С
(блок)
-10
-8
-6
$U_{ип}$, В
б)

Рис. 3

На рис. 3, *б* приведена зависимость числа отказов от величины изменения напряжения импульсного питания ($U_{и.п}$ = = —9 *В*). Как видно из рисунка, ОЗУ более критично к росту абсолютного значения $U_{и.п}$, чем к уменьшению. Возможно, это связано с ростом помех в цепях питания при увеличении импульсного тока.

Отметим, что устройство требует весьма тщательного выполнения всех цепей питания, поскольку помехи, создаваемые указанными импульсами (более 0,5 *А*) с крутыми фронтами, наиболее опасны не для микросхем К527РУ2, а для логических цепей и особенно для триггерных схем.

При изменении температуры окружающей среды общий характер работы ОЗУ сохраняется (см. рис. 3, *а*, *б*). Увеличение температуры до +60°С несколько повышает устойчивость устройства к изменению питающих напряжений. Наоборот, с понижением температуры до —50°С область допустимых изменений питания сужается и даже при номинальных значениях $U_{см.п}$, $U_{и.п}$ наблюдались отказы отдельных микросхем. Можно предположить, что помимо собственных индивидуальных свойств микросхем памяти здесь также сказывается влияние роста тока импульсного питания.

Проверка режима хранения информации показала, что сохранность занесенных кодов обеспечивается при изменении частоты импульсного питания в широких пределах. Так, в нормальных климатических условиях устойчивое хранение в блоке ОЗУ обеспечивалось при частоте импульсов питания до 100 *Гц* и длительности импульса 1 *мкс*.

ЛИТЕРАТУРА

А. Е. Ашман, Г. В. Аронова. Некоторые методы повышения достоверности работы и информационной надежности полупроводниковых оперативных запоминающих устройств (см. настоящий сборник).

Ашман А. Е., Аронова Г. В.

НЕКОТОРЫЕ МЕТОДЫ ПОВЫШЕНИЯ ДОСТОВЕРНОСТИ РАБОТЫ И ИНФОРМАЦИОННОЙ НАДЕЖНОСТИ ПОЛУПРОВОДНИКОВЫХ ОЗУ

В системах обработки информации с повышенными требованиями к информационной надежности особое значение приобретает вопрос о достоверности работы устройств оперативной памяти. Можно выделить два пути решения проблемы увеличения достоверности ОЗУ.

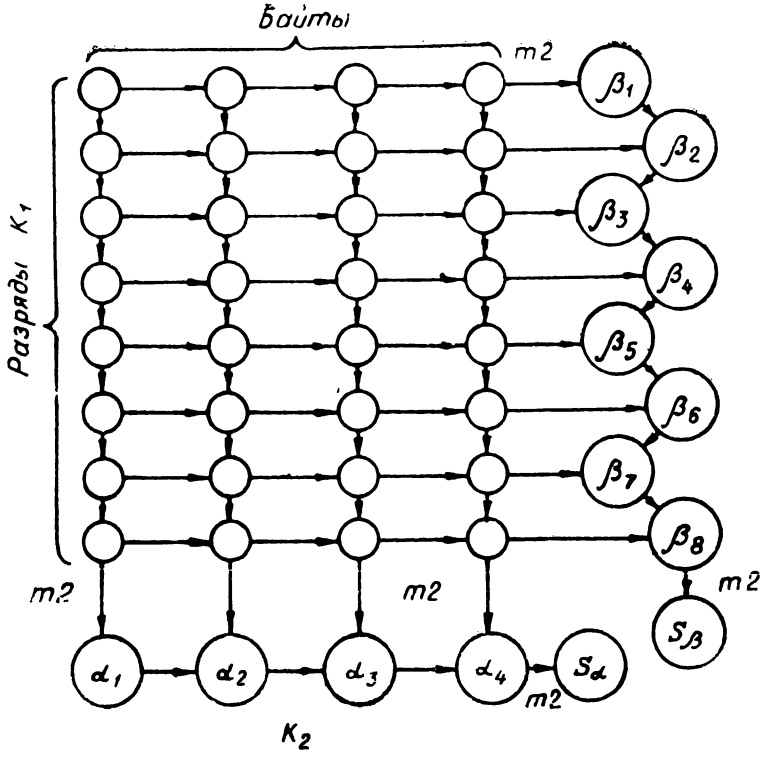
Первый из них — повышение аппаратной надежности оборудования, т. е. уменьшение интенсивности потока стационарных и нестационарных отказов, приводящих к искажению информации. Второй путь — выявление искажений ошибок информации и предупреждение пользователя о их наличии. Дальнейшее развитие этого направления—коррекция ошибок.

Обнаружение ошибок является важным этапом такого радикального метода повышения аппаратной надежности как резервирование. Опыт показывает, что стационарные аппаратные отказы часто возникают не сразу; им обычно предшествует увеличение потока нестационарных сбоев (особенно при работе аппаратуры в граничных условиях). Это облегчает прогнозирование отказов как в процессе нормального функционирования системы, так и при регламентных работах. Иначе говоря, обнаружение факта искажения информации становится первой и весьма важной задачей при использовании упомянутых путей повышения информационной надежности и достоверности работы ЗУ.

Наиболее распространенным методом контроля в настоящее время является проверка сумм по модулю 2 или 3. Этот метод, обладая известными достоинствами, в то же время не обнаруживает значительную часть многократных ошибок. При разработке ряда ЗУ на микросхемах К527РУ2 (см. литературу) была поставлена задача организации системы глубокого встроенного контроля, которая при приемлемых аппаратных затратах позволяла бы выявить подавляющее большинство ошибок произвольной кратности и в то же время снижала аппаратную надежность из-за роста общего объема оборудования. Такая система была разработана на базе итеративных кодов с проверкой строк и столбцов запоминающей матрицы по модулю 2.

При построении двумерного итеративного кода заданную совокупность информационных символов представляют в виде страницы, содержащей K_1 строк, K_2 столбцов. Затем каждой строке страницы и каждому столбцу дописывают контрольные символы таким образом, чтобы строки и столбцы были словами некоторого кода.

При побайтовой передаче информации слово длиной в 32 разряда может быть представлено итеративным кодом так, как это показано на рисунке. В качестве контрольных сигналов удобно использовать результаты проверки на нечетность. Такая структура дает возможность эффективного самоконтроля, который основан на следующем свойстве итеративного кода: сумма по модулю 2 контрольных разрядов столбцов равна сумме контрольных разрядов строк $S_\alpha = S_\beta$.



Полный итеративный код позволяет обнаружить любую одиночную ошибку, совокупность диагонально расположенных ошибок и существование любой нечетной ошибки. Кроме того, итеративный код позволяет выявить значительную долю четных ошибок. Расчеты показывают, что вероятность необнаружения ошибок кратности 4 ($K_1 \cdot K_2$ — 4) составляет 0,47%, а кратности 6($K_1 \cdot K_2$ — 6) — всего 0,15%. С ростом кратности доля необнаруживаемых ошибок резко уменьшается.

С целью сокращения контрольного оборудования множество, $\{\beta_i\}$ разбивается на пересекающиеся подмножества (элементы которых суммируются по модулю 2) таким образом, чтобы эффективность обнаружения ошибок заметно не уменьшалась и сохранялось приведенное выше равенство. Такое свертывание позволяет сократить в укороченном итеративном коде количество контрольных разрядов строк с восьми до четырех.

При построении системы контроля использована побайтная проверка информационного слова по модулю 2. Каждому из четырех байтов приписывается контрольный разряд (α_i,

рис.), представляющий собой инвертированную по модулю 2 сумму разрядов байта. В процессе функционирования ОЗУ выполнение операций контролируется путем образования таких сумм по строкам и столбцам и их сравнения с соответствующими значениями контрольных символов, образованных ранее и хранимых в запоминающей матрице.

В режиме записи информация из магистрали одновременно с занесением на регистр числа поступает в схему контроля для образования контрольных разрядов. При сопровождении входной информации побайтными суммами по модулю 2 проверяется правильность трансляции путем сравнения с соответствующими значениями, образованными в системе контроля. Время контроля при этом не превышает 200 *нс*; в случае обнаружения ошибки программа прерывается и запись не происходит.

Поскольку при записи схема считывания запоминающей матрицы не блокируется, сигналы, соответствующие заносимой информации, появляются на выходе ОЗУ. Эти сигналы с выходных вентилей информационных разрядов через магистраль вторично поступают в систему контроля. Образованные вновь суммы по модулю 2 сравниваются с сигналами на выходах соответствующих контрольных разрядов. При сравнении обнаруживаемые ошибки в зависимости от их взаиморасположения выявятся, по крайней мере, по одному из контрольных разрядов строк или столбцов. Контроль результатов записи информации увеличивает цикл приблизительно на 200 *нс*.

Аналогичным образом проверяется выходная информация в режиме считывания. Контроль считывания осуществляется одновременно с выдачей числа в магистраль; сигнал ошибки выдается потребителю с задержкой около 200 *нс*.

Адресное оборудование контролируется за счет дублирования регистра. Код адреса поступает на основной и дополнительный регистры, причем на последний информация заносится с некоторой задержкой, что уменьшает вероятность искажения помехами в магистрали. Занесенный в регистры код поступает на схему поразрядного сравнения; сигнал ошибки прерывает программу, что предотвращает искажение информации в запоминающей матрице.

В системе контроля предусмотрена также проверка на занятость магистрали в момент, предшествующий считыванию информации из ОЗУ. При нарушении вышеприведенного равенства в случае отказа контрольного оборудования система контроля блокируется и пользователю выдается соответствующий сигнал. Таким образом, отказы дополнительного оборудования не снижают общую надежность основной аппаратуры.

Сигналы ошибок, формируемые системой контроля, поступают на схемы анализа вида искажений информации («сбой» или «стационарный отказ»), характера ошибки («магистраль», «адрес», «контроль») и режима работы ОЗУ, в котором произошла ошибка («запись», «чтение»). Для обнаружения аппаратной неисправности основного оборудования в систему контроля введен счетчик, фиксирующий количество сбоев. При стационарном отказе, критерием которого является определенное количество сбоев за цикл работы, происходит переход на резервное оборудование. Визуальная индикация обеспечивает локализацию неисправности с точностью до сменной ячейки.

В составе ряда ОЗУ (см. литературу) контрольное оборудование сосредоточено главным образом на сменной ячейке контроля. На ней расположены схемы проверки по модулю 2, необходимые для образования контрольных разрядов итеративного кода, и схемы проверки на занятость магистрали. Схемы анализа вида искажений и индикации размещены на ячейке управления ОЗУ.

Принятая структура системы контроля позволяет наращивать объем основного оборудования и емкости ОЗУ без существенного увеличения дополнительной контрольной аппаратуры.

ЛИТЕРАТУРА

Ашман А. Е., Петров Е. В., Аронова Г. В., Монахова И. А. Построение ряда оперативных запоминающих устройств на микросхемах К527РУ2 (см. настоящий сборник).

Бронников В. С., Ярославцев Г. Г.

ПОЛУПРОВОДНИКОВЫЕ ЗУ НА ИНТЕГРАЛЬНЫХ МИКРОСХЕМАХ СЕРИИ К527

В специализированных цифровых вычислительных машинах (СЦВМ) используются преимущественно запоминающие устройства емкостью 4 *кбит* и более. Основные требования к таким ЗУ — малые габариты и мощность, совместимость с элементами процессора по уровням сигналов и напряжению питания, по конструктивно-технологическим признакам. Для процессора СЦВМ, выполненного на микросхемах серий 130, 133 и 136, удовлетворительной совместимостью обладают микросхемы памяти серии К527.

Функциональная схема ЗУ на микросхемах К527РУ1 приведена на рис. 1. ЗУ состоит из матрицы-накопителя, регистра

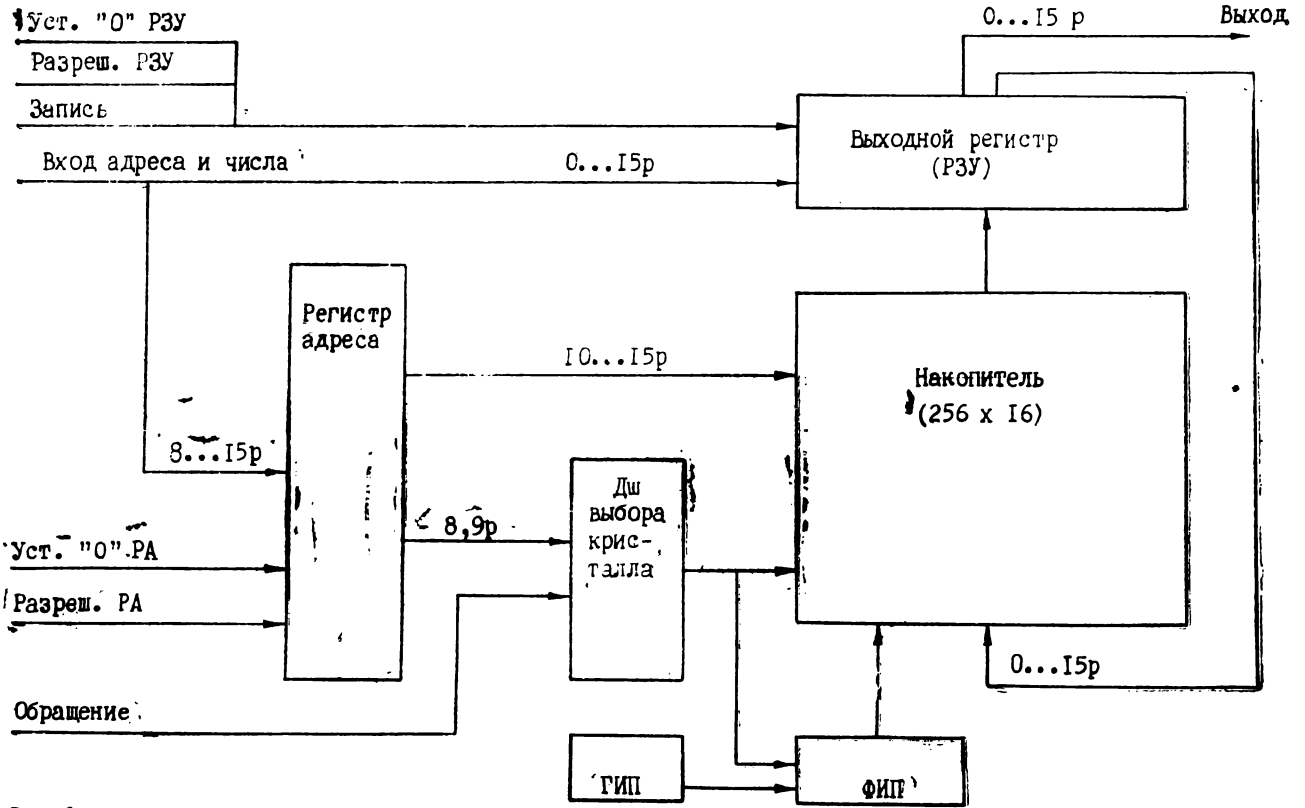

Уст. "0" РЗУ
Разреш. РЗУ
Запись
Вход адреса и числа
0...I5р
0...I5 р
Выход
Выходной регистр (РЗУ)
Регистр адреса
I0...I5р
Накопитель (256 x I6)
8...I5р
8,9р
Дш выбора крис-талла
Уст. "0" РА
Разреш. РА
0...I5р
Обращение
ГИП
ФИП

Рис. 1

адреса, выходного регистра, дешифратора выбора кристалла на микросхемах серии 133, формирователей импульсного питания (ФИП) накопителя на микросхемах IHT251 и IHT987. Для управления ЗУ используются сигналы, поступающие непосредственно с процессора. Коды адреса и числа подаются по одной линии, что уменьшает число линий связи. Формирователи импульсного питания обеспечивают подачу его на матрицу и обрамление микросхем К527РУ1 в момент обращения и на матрицу во время хранения. Это позволяет заметно снизить рассеиваемую ЗУ мощность, что существенно при использовании его в изолированных невентилируемых объемах.

ЗУ построено с использованием модульного метода конструирования. Этот принцип построения, несмотря на некоторую аппаратурную избыточность, при конструировании ЗУ повышенной емкости из унифицированных модулей определенной емкости имеет ряд существенных преимуществ:

— минимальные связи внутри ЗУ;

— упрощение в целом разработки и изготовления, сокращение необходимой документации (требуется разработать 1—2 субблока);

— возможность параллельной обработки информации путем одновременного обращения к функционально самостоятельным модулям;

— возможность увеличения емкости ЗУ без разработки новых субблоков;

— сокращение количества аппаратуры контроля.

На четырехслойной плате размером 120×180 *мм*, выполненной методом попарного прессования, с обеих сторон устанавливаются плоские элементы: микросхемы памяти, микросхемы управления, дискретные элементы ФИП, фильтры питания. На такой плате размещаются 100—110 микросхем в корпусе типа 401.14 и ряд навесных элементов. Анализ схемы ЗУ показывает, что максимально возможная емкость такого субблока может быть не более 4 *кбит* (64 микросхемы ОЗУ и остальное — элементы обрамления).

В описываемом случае выбрана организация субблока 256 16-разрядных слов. Путем набора соответствующего количества субблоков можно получить ЗУ требуемой емкости. Для объединения субблоков при емкости ЗУ более 4 *кбит* (256×16) требуется дополнительный субблок сборки выходной информации. Количество субблоков для построения ЗУ требуемой емкости определяется в виде

$$M = \frac{C}{4} + 1,$$

где C — требуемая емкость ЗУ, *кбит*.

Основные характеристики ЗУ емкостью 4 и 64 *кбит* приведены в таблице, из которой следует, что применение микросхем К527РУ1 для ЗУ СЦВМ позволяет получить по сравнению с ЗУ на ферритах аналогичной емкости лучшие энергетические (в 2,2 раза) и габаритно-весовые показатели (в 4 раза), значительно упростить технологические процессы изготовления ЗУ, за счет чего стоимость ЗУ снижается в 2 раза.

Основные характеристики ЗУ

Характеристика	Емкость, *бит*		
	4 (256×16)	64 (4096×16) (расчетное)	4 (256×16) (ферритовое)
Количество микросхем:			
накопитель	64	1024	—
схема управления	34	600—700	—
дискретные элементы (*R*, *C*, *Д*)	73	1100—1200	—
Потребляемая мощность, *Вт*			
питание +5 *В*	4,1	—	—
питание —9 *В*	3,5	—	—
всего по ОЗУ	7,6	60—70	16,5
Объем, *дм*³	0,2	4,0	0,9
Вес, *г*	120	3000—3500	450
Время обращения, *мкс*			
рабочее	3,5	—	5,0
минимальное	2,0	2,0	3,5
Время выборки, *нс*	800	800—850	400
Стоимость (в условиях опытного производства), *руб.*	3000	—	5500

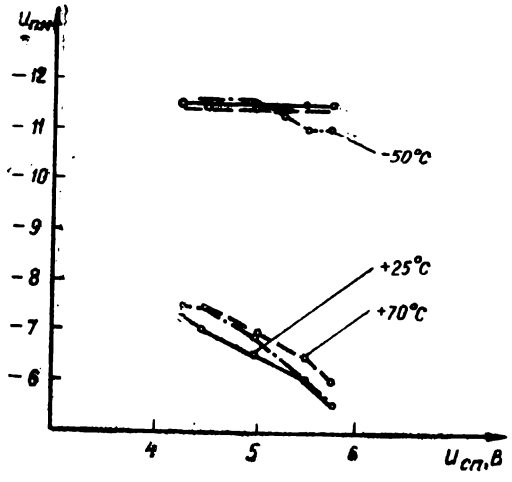
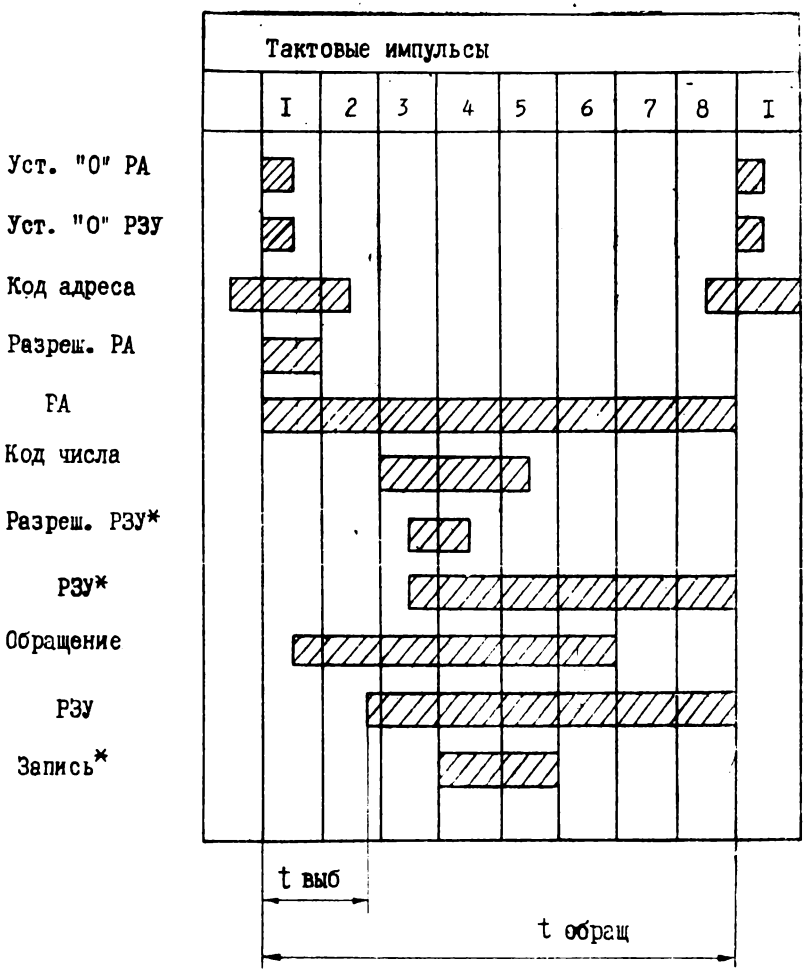


Рис. 2

Разработанные ЗУ емкостью 4 *кбит* (256×16) и 8 *кбит* (512×16) подвергались температурным испытаниям при изменении напряжений питания. Область устойчивой работы ЗУ приведена на рис. 2.



Примечание: Импульсы со знаком* поступают только в цикле ЗАПИСЬ.

Рис. 3

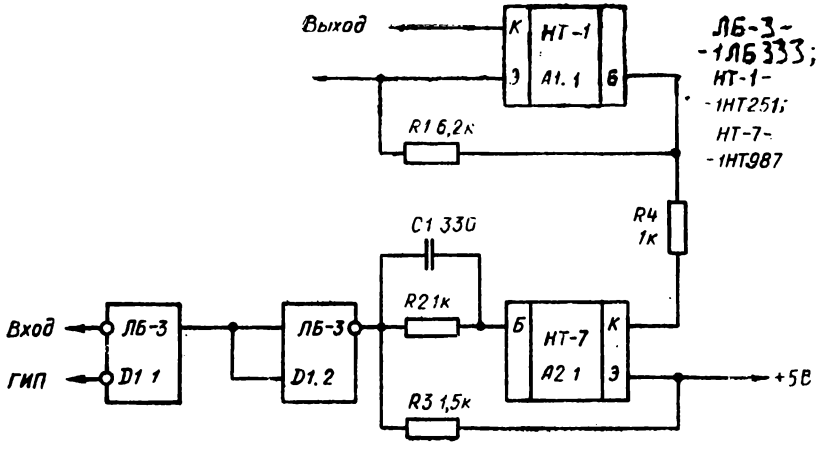

Выход
К
НТ-1
Э
А1.1
Б
ЛБ-3-
-1ЛБ333;
НТ-1-
-1НТ251;
НТ-7-
-1НТ987
R1 6,2к
R4
1к
C1 330
R2 1к
Вход
ЛБ-3
ЛБ-3
Б
НТ-7
К
ГИП
D1 1
D1.2
А2 1
Э
+5В
R3 1,5к

Рис. 4

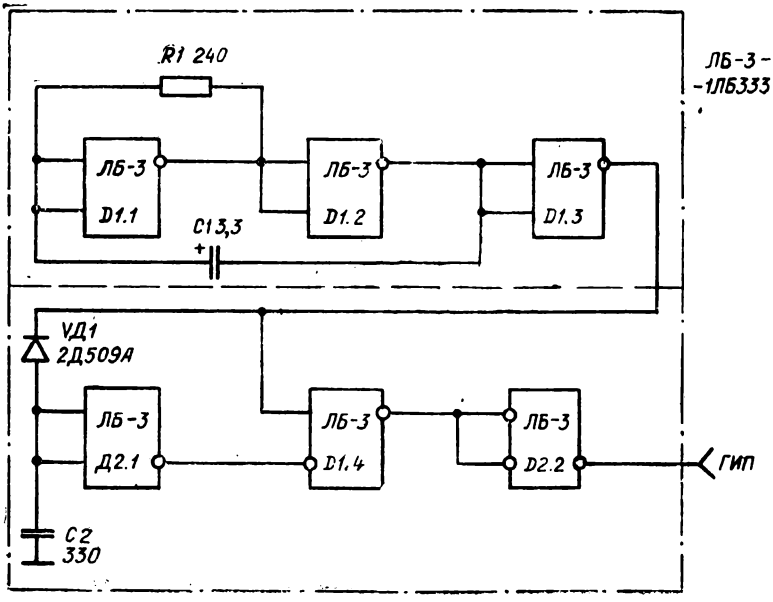

R1 240
ЛБ-3-
-1ЛБ333
ЛБ-3
D1.1
ЛБ-3
D1.2
ЛБ-3
D1.3
C1 3,3
+
VД1
2Д509А
ЛБ-3
Д2.1
ЛБ-3
D1.4
ЛБ-3
D2.2
ГИП
C2
330

Рис. 5

В диапазоне температур от —50 до +70°С ЗУ работоспособны при изменении напряжений питания на ±10%. Время выборки составило 800 *нс*. Временная диаграмма работы ЗУ показана на рис. 3. В процессе испытаний проверено несколько схем формирователей импульсного питания. Наилучшие результаты получены от схемы рис. 4.

Основные параметры: время включения — не более 30 *нс*, время выключения—не более 60 *нс*, амплитуда тока—300 *мА*. При отсутствии обращения (режим хранения) для запуска ФИП используется генератор импульсного питания, схема которого приведена на рис. 5.

ГИП состоит из симметричного мультивибратора на микросхемах D1.1, D1.2 [1], генерирующего импульсы типа «меандр», и ждущего мультивибратора на D2.1, D1.4 [2], формирующего из «меандра» импульсы с частотой 10 *кГц* и длительностью 1—2 *мкс*.

ЗУ испытывались путем проверки на динамическое функционирование тестами, принятыми для ферритовой памяти.

В оперативных ЗУ небольшие емкости, где в процессе работы не отключается питание, целесообразно применение микросхем памяти К527РУ1, так как по сравнению с ЗУ на ферритах значительно улучшается технологичность изготовления изделий, снижается стоимость и существенно улучшаются габаритно-весовые и энергетические параметры.

Результаты испытаний ЗУ на микросхемах К527РУ1 показали надежную работу приборов в диапазоне температур от —50 до +70°С при изменении напряжений питания на ±10%. Время считывания ЗУ — не более 800 *нс*. При увеличении емкости ЗУ время выборки сохраняется благодаря функциональной автономности модульной конструкции.

ЛИТЕРАТУРА

1. Руднев А. Д. Импульсные устройства на логических элементах. «Приборы и техника эксперимента», 1974, № 1.
2. Куценко А. В. и др. Импульсные устройства на монолитных интегральных схемах. «Приборы и техника эксперимента», 1973, № 4.

Алов Ю. П., Касьянов В. В.,
Петров Ю. Г., Пятаев В. И.

ПРИМЕНЕНИЕ МИКРОСХЕМ ПАМЯТИ СЕРИЙ К519 И К527 В УСТРОЙСТВАХ ИЗМЕРИТЕЛЬНОЙ ТЕХНИКИ

В ряде устройств измерительной техники применяются запоминающие устройства как необходимый элемент обработки данных. ЗУ измерительных приборов характеризуются небольшой емкостью, малыми габаритами и весом, малой потребляемой мощностью, невысокой стоимостью, в ряде случаев допускается потеря информации при отключении питания.

Применение оперативных ЗУ серии К527 оказалось целесообразным в следующих случаях: при контроле сложных устройств и узлов, построении буферного ЗУ системы формирования шкал времени, генерации гистограмм в реальном масштабе времени, в системе допускового контроля.

Рассмотрим возможности применения микросхем памяти в каждом из указанных случаев.

1. Блок ОЗУ с источником питания, выполненный в виде автономного прибора, может быть полезен при отладке микропрограмм устройств с микропрограммным управлением; контроле сложных логических узлов, в данном случае блок ОЗУ выполняет функцию многоканального генератора слов; проверке больших интегральных схем.

Блок ОЗУ емкостью 256 36-разрядных слов имеет габариты 300×400×160 *мм*. Источник питания обеспечивает по цепи +5 *В* ток 4 *А*, а по цепи —9 *В* — ток 1 *А*. Управление прибором — с передней панели.

2. Буферное ЗУ в системе формирования шкал времени служит для согласования скорости быстродействующего измерителя с медленным регистратором-цифропечатающей машинкой.

При периоде повторения входных данных $T=1$ *мс* необходимая емкость ЗУ составляет 24 44-разрядных слова. Буферное ЗУ позволяет регистрировать как единичные данные, так и их непрерывную последовательность. Применение микросхем К527РУ1 дает возможность уменьшить количество элементов в два раза по сравнению с блоком ЗУ, выполненным на микросхемах КІЯМ411, и снизить потребление мощности на 25%.

ЗУ выполнено по регистровой схеме с последовательным занесением и выдачей данных в виде прямого списка. Резервное питание от аккумуляторов обеспечивает сохранение информации при перерывах в подаче электропитания от сети

переменного тока. Микросхемы серии К527 обладают достаточным быстродействием, чтобы обеспечить возможность приема информации, поступающей с частотой от 0 *Гц* до 1,0 *МГц*, а при параллельном включении нескольких однотипных устройств — до 3 *МГц*.

3. Построение гистограмм в реальном масштабе времени с точки зрения экономии машинного времени и универсальности измерения наиболее удобно с помощью оперативного ЗУ небольшой емкости с автономной схемой управления. Количество адресов соответствует количеству классов, а число разрядов определяет емкость класса. При выводе гистограммы на экран осциллографа достаточно ОЗУ емкостью 128 8-разрядных слов, выполненного на микросхемах К527РУ1.

В состав устройства входят следующие элементы: оперативное ЗУ, преобразователь код-напряжение, мультиплексер, устройство управления, дешифратор синхронизации. В соответствии с адресом процессора выбирается ячейка ОЗУ, в которую заносится код информации — текущее значение класса. Мультиплексер обеспечивает подачу на адресные входы ОЗУ адреса либо процессора, либо счетчика схемы управления. Напряжение с выхода преобразователя код-напряжение поступает на усилитель вертикального отклонения осциллографа, а развертка осциллографа запускается сигналом с дешифратора. За время развертки из ОЗУ выбирается содержимое всех адресов. Наращивание объема ОЗУ позволяет увеличивать число классов. Применительно к классификатору кодов это эквивалентно разработке нового прибора.

Испытания показали высокую работоспособность микросхем памяти в диапазоне питающих напряжений от +5 *В* ±5% до —9 *В* ±5%. Удельная мощность микросхем не превышает 3 *мВт/бит*. Габаритные размеры устройства 200×170 *мм*.

4. Измерительная система допускового контроля предназначена для измерения геометрических размеров крупных узлов в автомобилестроении. Измерение выполняется методом сравнения с эталоном. Запоминающее устройство системы предназначено для хранения эталонов. Объем ОЗУ зависит от числа контрольных точек и в данном случае составляет 100 9-разрядных слов. Двоично-десятичный номер числа является адресом ОЗУ. В составе ОЗУ имеется местное устройство управления, формирующее необходимую временную диаграмму.

Применение микросхем К527РУ2 позволило выполнить ЗУ на одной печатной плате размерами 200×170 *мм*. По сравнению с аналогичным по назначению устройством на микро-

схемах КІЯМ411 достигнуто сокращение объема в три раза, упрощена временная диаграмма.

В измерительной системе важно сохранение информации при отключении питания, что обусловлено сменностью обслуживания системы в производственных условиях. Применение аккумуляторов или периодическая перезапись данных позволяет выйти из этого затруднительного положения, но система становится более громоздкой.

Исключить эти усложнения можно за счет применения полупостоянного ЗУ на микросхемах серии К519. Однако при этом заметно увеличиваются габариты блока, что обусловлено недостаточно высокой интеграцией схем, отсутствием согласования со схемами ТТЛ, большим числом питающих напряжений. В случае применения схем ППЗУ необходимость периодической перезаписи информации полностью не устраняется.

В соответствии с изложенным можно сделать следующие выводы.

1. Применение микросхем серий К527 в измерительной аппаратуре позволяет расширить ее функциональные возможности и улучшить технико-экономические показатели.

2. Микросхемы серии К519 можно использовать в приборах и системах, если нет ограничений в габаритах и количестве источников питания.

Горбачев Б. А., Кессель К. Я., Буторин В. П., Коробков Л. С., Зайцева Н. Н.

ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО МНОГОКАНАЛЬНОГО ЧАСТОТНОГО ИНТЕГРАТОРА НА БАЗЕ ИНТЕГРАЛЬНЫХ СХЕМ ПАМЯТИ

В настоящее время специализированные вычислительные устройства, в частности цифровые интеграторы, широко применяются для решения задач автоматизации производственных процессов.

Дальнейшее совершенствование интеграторов связано, главным образом, с улучшением характеристик запоминающих устройств (ЗУ), выполняющих функции хранения результатов интегрирования, а в некоторых случаях и непосредственного интегрирования измеряемых параметров.

На примере разработанного запоминающего устройства авторами рассмотрены вопросы, связанные с проектированием ЗУ на базе интегральных схем памяти, приводятся результаты экспериментальных исследований по повышению помехоустойчивости и надежности работы ЗУ при длительных воз-

мущениях в сети переменного тока и отключениях вторичных источников питания.

Одним из важных вопросов, решаемых при проектировании ЗУ, является выбор накопителя. Основными факторами, определяющими применение МДП ОЗУ, были следующие:

— возможность импульсного питания матрицы накопителя в режиме хранения информации. Поскольку интегратор предназначен для работы в условиях сильных промышленных помех, с длительными перерывами питающих напряжений, постольку необходимо резервировать питание накопителя ЗУ с целью сохранения записанной в нем информации. В таких режимах импульсное питание матрицы накопителя позволяет значительно снизить потребляемую мощность и выбрать более экономичные источники аварийного питания;

— простое согласование схем МДП ОЗУ со схемами обрамления;

— появление записываемой информации на выходе накопителя уже в момент записи, что дает возможность контролировать работу накопителя в режиме записи. Этим самым повышается надежность устройства.

Исходя из вышесказанного, в качестве накопителя ЗУ были выбраны интегральные схемы ОЗУ серии К527. Серьезное значение при разработке ЗУ придавалось выбору схем включения аварийного питания матрицы накопителя. Один из вариантов схем включения аварийного питания (рис. 1) состоит из последовательного мультивибратора на транзисторах разной проводимости и аккумуляторной батареи. Напряжение на выходных клеммах батареи должно быть примерно равно сумме напряжений питания подложки и запоминающей матрицы. Емкость аккумуляторной батареи выбирается с учетом величины тока, потребляемого от нее в импульсе, скважности импульсов и допустимого времени отключения источников питания.

Так, для 64 схемы ОЗУ, ток, потребляемый в импульсе по цепи питания запоминающей матрицы накопителя, составит 256 *мА*. Рекомендуемая частота подачи импульсов питания равна 10 *кГц*.

Для случая C1=C2=0,01 *мкФ*, T1—КТ315И, T2—МП26Б длительность импульсов мультивибратора равняется 3 *мкс*. Тогда средний ток разряда батареи при пропадании основного напряжения составит 9 *мА*.

Транзисторы T1, T2 выбирались с учетом следующих требований. Напряжение насыщения промежутка коллектор — эмиттер должно быть минимальным. Допустимый ток коллектора транзисторов — не менее, чем ток, потребляемый от батареи в импульсе по цепи питания матрицы накопителя.

Достоинством схемы последовательного мультивибратора является простота, а недостатком — зависимость напряжения на мультивибраторе, при котором в нем возникают автоколебания, от нагрузки (т. е. от количества микросхем ОЗУ). Поэтому для сохранения порога срабатывания мультивибратора с ростом нагрузки приходится увеличивать частоту повторения импульсов.

На рис. 2 приведен еще один возможный вариант схемы включения аварийного питания. Для этой схемы уровень напряжения на мультивибраторе в диапазоне колебаний 1—6 *кГц* практически не зависит от частоты повторения импульсов.

Экспериментальные кривые (рис. 3), полученные для схем (см. рис. 1, 2), позволяют выбрать оптимальную частоту следования импульсов мультивибратора в зависимости от числа подключаемых микросхем ОЗУ.

При разработке ЗУ также рассматривался вопрос о защите устройства от сбоев при длительных возмущениях в сети питания переменного тока.

Схема (рис. 4) реагирует на пропадание фазы сетевого напряжения и автоматически отключает вторичные источники питания. Одновременно обеспечивается блокировка вывода «выбор кристалла» микросхем ОЗУ от схем управления в

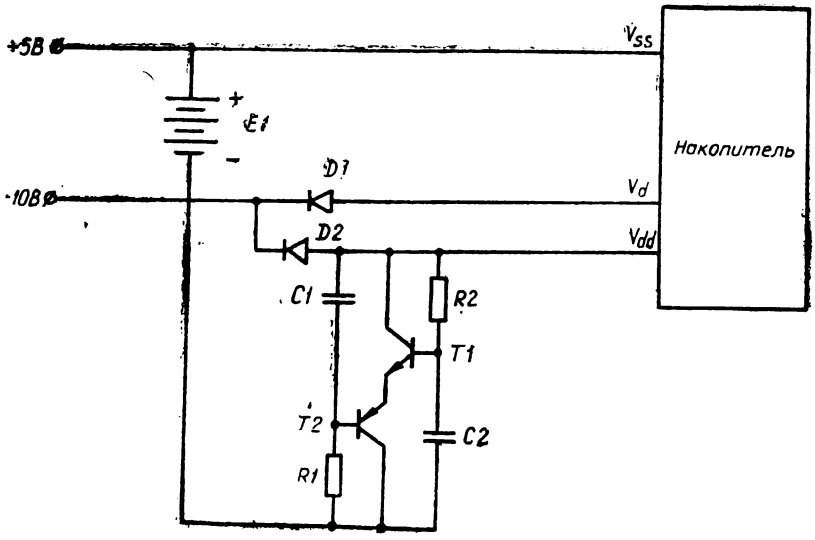


Рис. 1

целях предотвращения возможности ложной записи в микросхемы ОЗУ и считывания из них во время коммутационных процессов при выключении основного питания.

Обращение к накопителю запрещается и при уменьшении ниже допустимых значений питающих напряжений, например, при выходе из строя одного из источников питания матрицы накопителя. При уменьшении хотя бы одного из напряжений закрываются транзисторы Т1 и Т2 и вывод «выбор кристалла» оказывается подключенным к подложке через резистор 1 *кОм*. Количество диодов выбирается таким, чтобы при номинальных значениях питающих напряжений транзисторов Т2 был открыт, а следовательно, открыт и транзистор Т1, и выходные сигналы управления обращением к накопителю поступали на вход ОЗУ.

С учетом результатов экспериментальных исследований и на основе опыта проектирования специализированных вычислительных устройств авторами разработано запоминающее устройство на базе интегральных схем памяти. Рассматриваемое ЗУ входит в состав многоканального частотного интегратора и предназначено для приема информации, поступающей по каналам измерения, интегрирования информации по каждому измеряемому параметру, хранения результатов интегри-

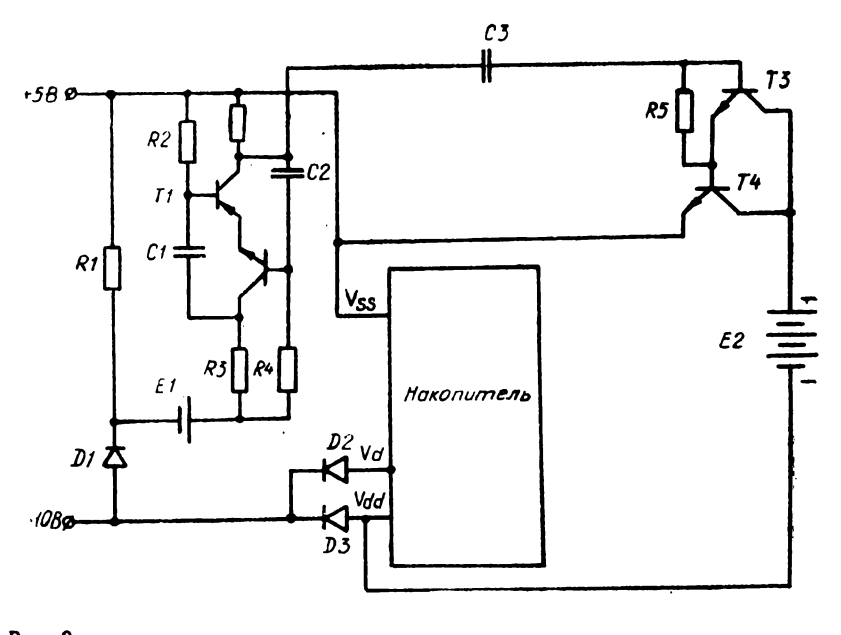


Рис. 2

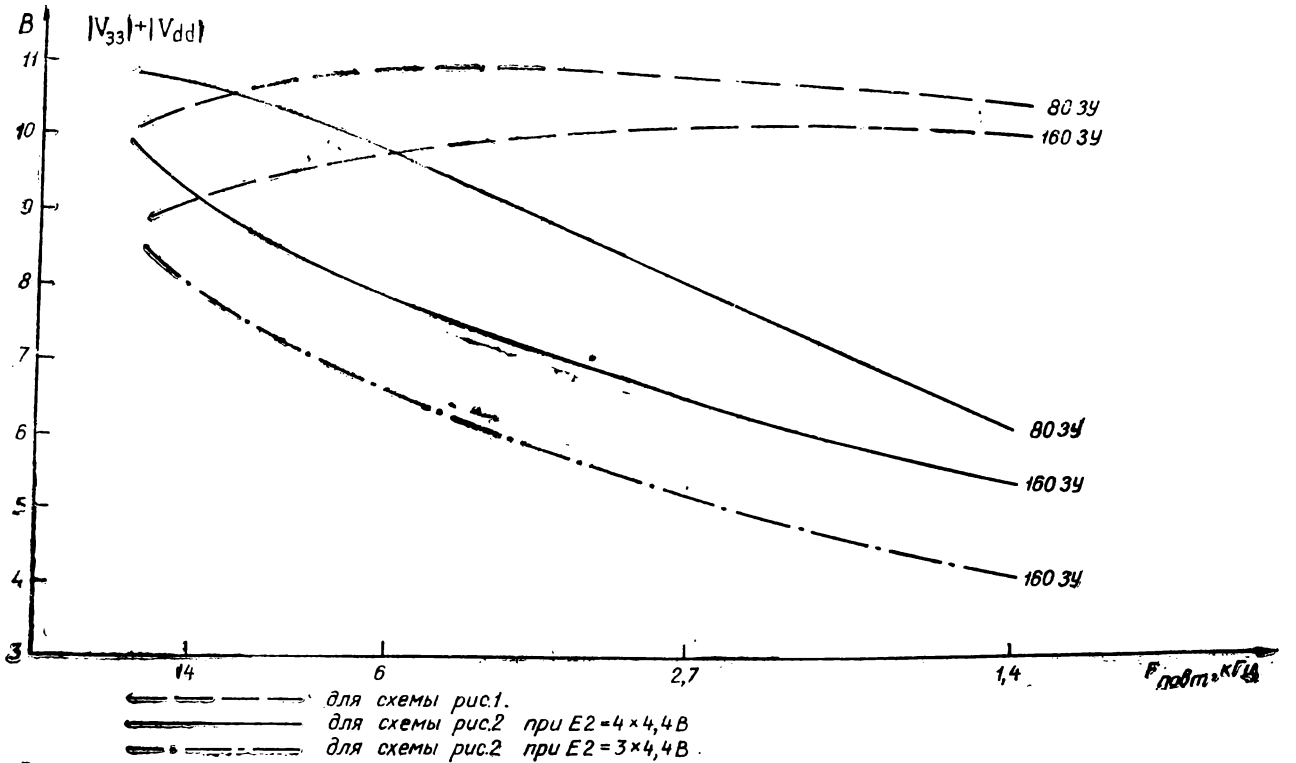

В
|V33|+|Vdd|
11
10
9
8
7
6
5
4
3
14
6
2,7
1,4
Fповт, кГц
80 зу
160 зу
80 зу
160 зу
160 зу
для схемы рис.1.
для схемы рис.2 при E2 = 4 × 4,4 В
для схемы рис.2 при E2 = 3 × 4,4 В

Рис. 3

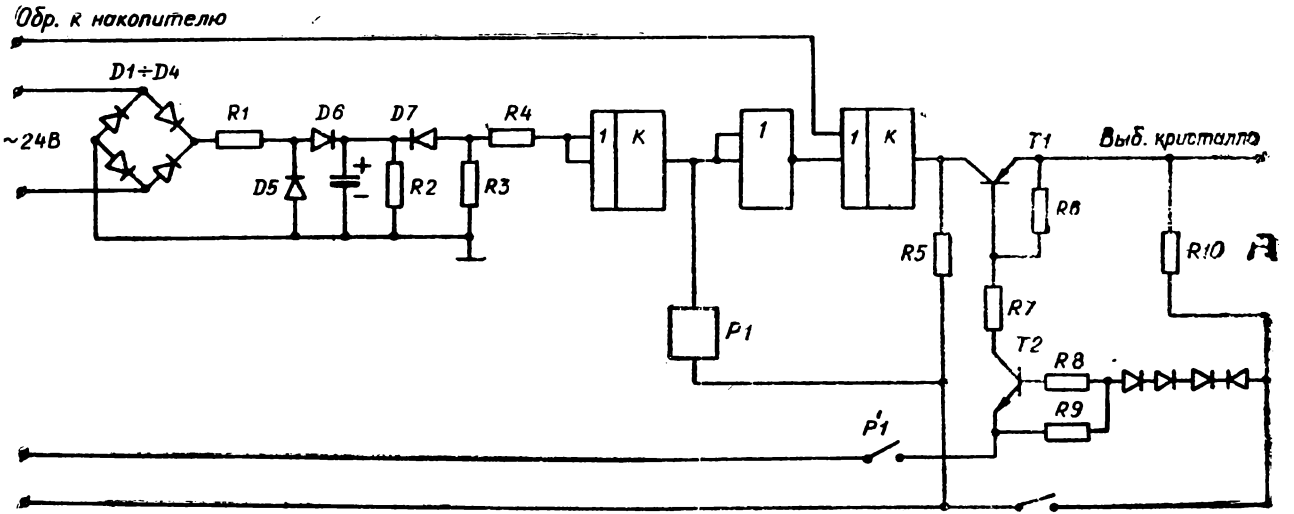


Рис. 4

3 Заказ 26

рования в ячейках накопителя и вывода результатов интегрирования в линию связи для дальнейшей обработки и регистрации.

Устройство (рис. 5) содержит накопитель на интегральных МДП-транзисторах, разрядные и адресные формирователи (РФ и АФ), усилители считывания (УС), регистр ввода информации в ЗУ (РВ), адресный регистр накопителя (РА), регистр записи-считывания (РЗС), являющийся и выходным регистром ЗУ, схему контроля работы накопителя в режиме записи (СКН), узел микропрограммного управления (УМУ) и схему включения аварийных источников питания (САП).

Основные характеристики ЗУ:

организация накопителя	— словарная
емкость накопителя, слов	— 128
разрядность слова, двоичных разрядов	— 32
адресация к накопителю	— произвольная
представление информации в регистре записи-считывания	— двоично-десятичное
способ кодирования информации при вводе, выводе, и пересылках внутри устройства	— числоимпульсный
управление режимами работы ЗУ	— микропрограммное
максимальное количество микрокоманд, поступающих с блока управления интегратора	— не более 16
потребляемая мощность, *Вт*:	
в рабочих режимах	— не более 10
в аварийном режиме	— не более 0,5
конструктивы	— УТК КТС ЛИУС
гарабитные размеры, *мм*	— 180×160×160
масса устройства, *кг*	— не более 1,5

Применение микропрограммного принципа управления для расширения функциональных возможностей ЗУ позволило относительно просто реализовать некоторые логические и арифметические операции, необходимые для интегрирования измеряемой информации, непосредственно в ЗУ и тем самым исключить из состава интегратора арифметическое устройство. Полный набор микроопераций, выполняемых по микрокомандам, поступающим с блока управления интегратора, включает в себя микрооперации ввода информации в ЗУ и задание адреса ячейки накопителя, пересылки информации из регистра в регистр, записи-считывания информации в ячейку накопителя, суммирования содержимого регистра записи-считывания с содержимым любой ячейки накопителя, вывода результатов интегрирования из ЗУ, циклического ввода-вывода информации из ЗУ с модификацией адресов накопителя.

Для контроля работы накопителя используется схема сравнения кодов, на одни входы которой подаются выходные

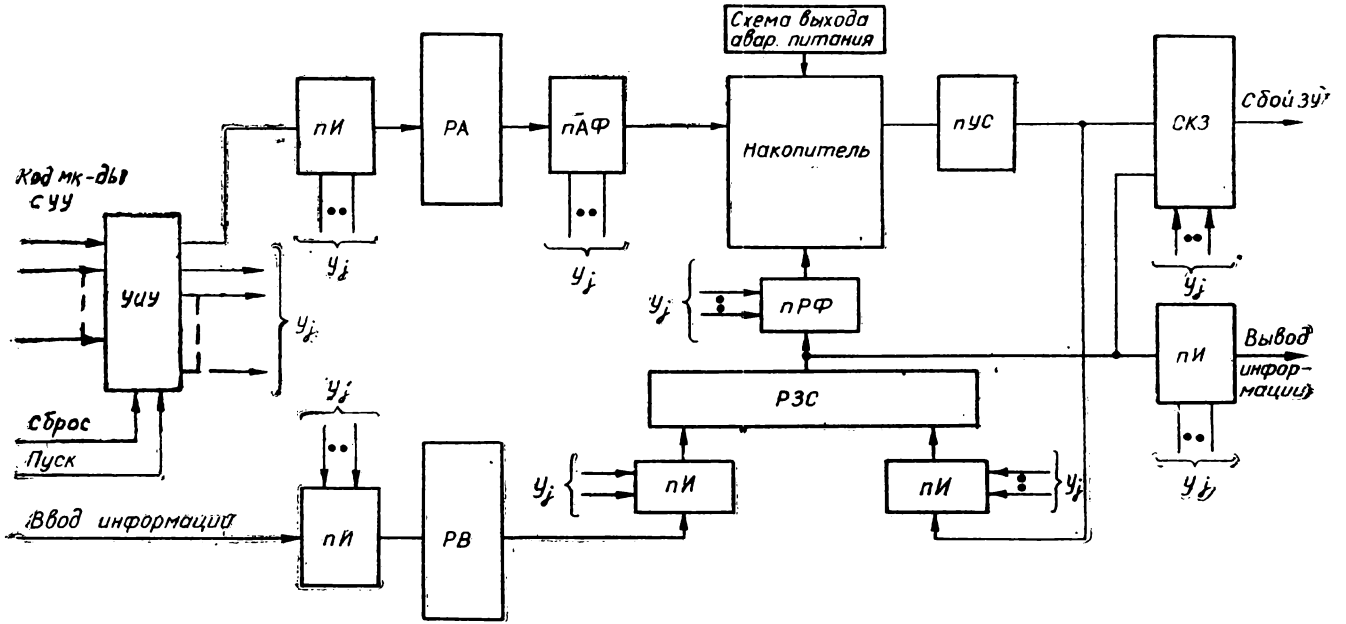


Схема выхода авар. питания
Код мк-ды с УУ
УИУ
пИ
РА
пАФ
Накопитель
пУС
СКЗ
Сбой ЗУ
пРФ
РЗС
пИ
Вывод информации
Сброс
Пуск
Ввод информации
пИ
РВ
пИ
пИ
y_j

Рис. 5

сигналы с накопителя, а другие входы подключены к соответствующим выходам регистра записи-считывания. При несовпадении кодов в режиме записи информации в накопитель схема сравнения формирует сигнал ошибки, передаваемый в блок управления интегратора. В тестовых режимах работа ЗУ контролируется специальными тестовыми программами с использованием микрокоманд циклического ввода-вывода информации.

Числоимпульсное кодирование информации при вводе-выводе и пересылках внутри устройства позволило при требуемом быстродействии уменьшить аппаратурные затраты и упростить некоторые схемные решения при проектировании ЗУ.

Конструктивно устройство размещается на типовых унифицированных печатных платах, входящих в номенклатуру УТК комплекса технических средств локальных информационно-управляющих систем (КТС ЛИУС).

Лабораторные испытания макетного образца показали достаточную надежность и работоспособность разработанного устройства.

Предполагается использование устройства в составе автоматизированной системы наблюдения и контроля загрязнения окружающей среды и локальных информационно-измерительных системах для объектов нефтяной и газовой промышленности.

Разработанное устройство позволяет интегрировать информацию, поступающую по каналам измерения, хранить результаты интегрирования в ячейках накопителя и выводить информацию из устройства в линию связи и на регистрацию.

В устройстве предусмотрена возможность сохранения информации при длительных перерывах питающих напряжений.

Устройство обладает высокими надежностными характеристиками, построено на современной элементной и конструктивной базе, имеет небольшую потребляемую мощность, малые габариты и вес.

В комплексе с другими средствами нижнего звена информационной системы АСУ разработанное устройство может быть использовано для решения задач многоканального интегрирования.

ЛИТЕРАТУРА

1. Старос Ф. Г., Крайзмер Л. П. Полупроводниковые интегральные запоминающие устройства. «Энергия», 1973.
2. Шигин А. Г., Дерюгин А. А. Цифровые вычислительные машины (память ЦВМ). «Энергия», 1975.
3. Частотные интеграторы. Киев, ИТИ, 1966.
4. Кессель К. Я. и др. Авт. св. СССР № 319942. «Бюлл. изобр.», 1970, № 2.

**Толкачев И. И., Леневич А. В.,
Савкин В. М., Трофимов В. Д.,
Истомин Н. Ф., Ладнюк Г. А.**

БЛОКИ ОПЕРАТИВНОЙ ПАМЯТИ НА ОСНОВЕ МИКРОСХЕМ К527РУ1 И К527РУ2

В последние годы при разработке сложных вычислительных систем — неотъемлемой части автоматизированных комплексов управления—широко распространен модульный принцип организации вычислительной системы. Он позволяет компоновать вычислительную систему из унифицированных функциональных блоков, приспосабливая ее структуру к изменяющимся условиям работы и модернизируя по мере создания более совершенных образцов отдельных блоков.

Попытки унифицировать ОЗУ, важную составную часть вычислительной системы, делались и раньше. Но это стало возможным только с появлением и развитием технологии полупроводниковых интегральных схем.

Авторами разработан ряд унифицированных ОЗУ на основе интегральных микросхем памяти типов К527РУ1 и К527РУ2. ОЗУ выполнены в 2-х вариантах в зависимости от типа микросхем и в 4-х модификациях в зависимости от информационной емкости. ОЗУ представляют собой устройства многоцелевого назначения, предназначенные для использования в различных отраслях цифровой техники. Длина слова для всех модификаций составляет 12 двоичных разрядов. Блоки ОЗУ на микросхемах К527РУ1 имеют информационные емкости 128, 256, 512 и 1024 слова, на микросхемах К527РУ2 — 512, 1024, 2048 и 4096 слов. Минимальный цикл обращения к ОЗУ составляет 1,8 *мкс*.

Временные интервалы в схеме формируются в самом ОЗУ с помощью триггерных схем, управляемых сигналами с распределителя импульсов. При таком способе формирования удается получить жесткую относительную расстановку этих сигналов, а применение кварцевого генератора позволяет значительно стабилизировать сигналы во времени.

Схемы обрамления ОЗУ выполнены на микросхемах серии К133.

Для уменьшения потребляемой мощности в ОЗУ применено импульсное питание. Ключи питания выполнены по схеме, приведенной в [1], и позволяют получить задержку включения импульсного питания не более 40 *нс*.

С целью уменьшения пиковой мощности, потребляемой ОЗУ в режиме хранения, питание микросхем памяти каждой

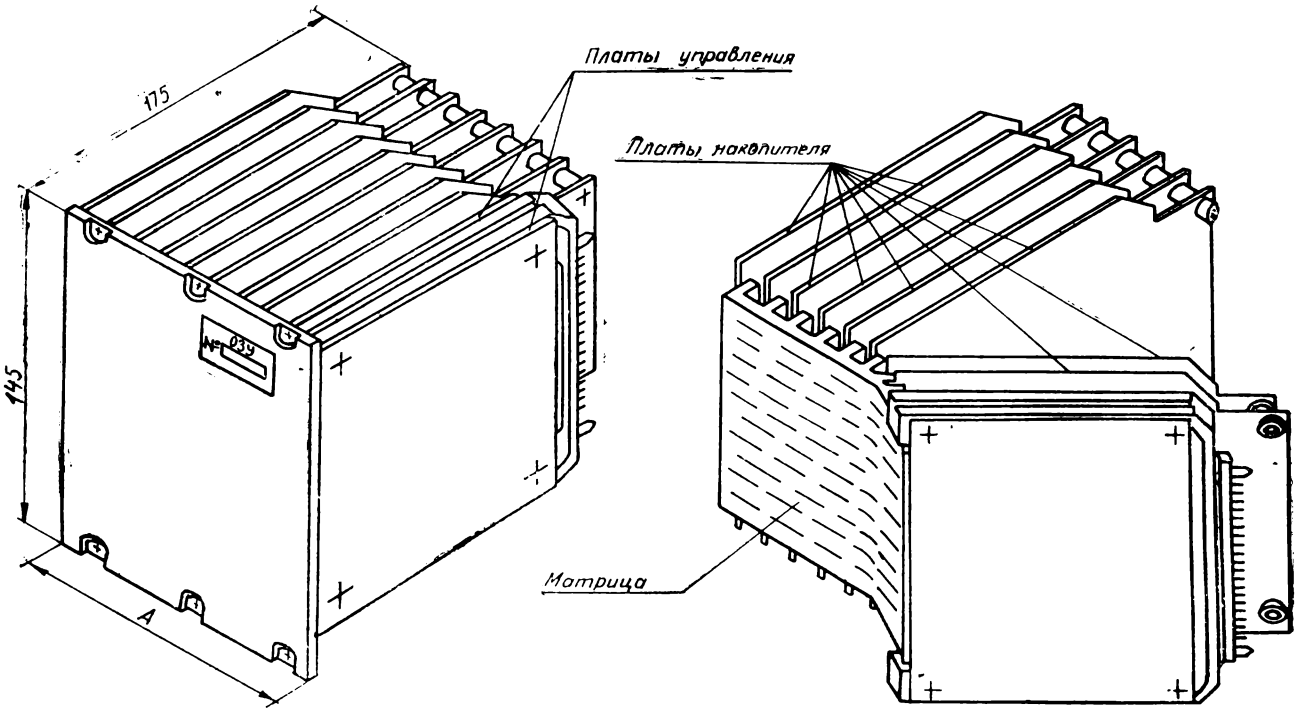


Рис. 1

строки осуществляется последовательно по сигналам, поступающим со схемы управления импульсным питанием.

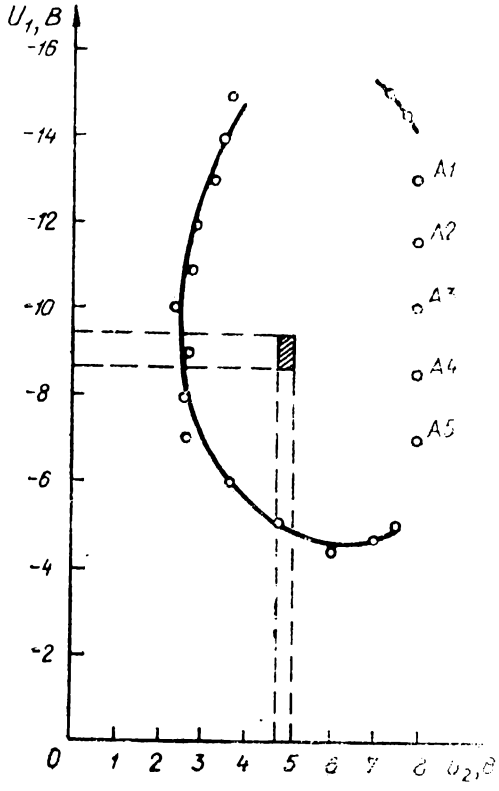
Принцип конструктивного оформления ОЗУ представлен на рис. 1. В основе каждого блока лежит книжная конструкция, удовлетворяющая требованиям ремонтопригодности. В состав каждого блока входят две платы управления и, в зависимости от модификации ОЗУ, одна, две, четыре или восемь плат накопителей. Платы выполнены двухсторонним печатным монтажом. Каждая плата представляет собой две строки накопителя со схемами сопряжения и ключами импульсного питания. Емкость платы на микросхемах К527РУ1 составляет 128, а на микросхемах К527РУ2 — 512 двенадцатиразрядных слов.

Межплатные электрические связи выполнены проводами в виде плоского жгута, размещенного на резиновой матрице. Габаритные размеры блоков ОЗУ представлены на рис. 1 и в таблице.

Число слов в ОЗУ		А, *мм*
К527РУ1	К527РУ2	
128	512	53
256	1024	77
512	2048	101
1024	4096	125

Из ряда разработанных ОЗУ граничному испытанию был подвергнут лабораторный макет блока информационной емкостью 128 слов×12 разрядов. Испытания проводились для проверки работоспособности на тестах «бегущая 1» и «бегущий 0» при различных комбинациях напряжений, питающих ОЗУ.

По результатам испытаний построена усредненная область работоспособности, представленная на рис. 2. Здесь точки, лежащие на кривой, определяют границу работоспособности ОЗУ. Отметим, что диапазоны изменения напряжений для источников питания были сознательно ограничены напряжениями +8 *В* для источника U1 (номинальное значение +5 *В*) и —15 *В* для источника U2 (номинальное значение —9 *В*) во избежание выхода из строя микросхем. Поэтому область работоспособности оказалась незамкнутой.



В точках А1—А5, снятых при напряжении +8 *В* для источника U1, ОЗУ было работоспособным.

Из анализа области работоспособности видно, что, исходя из информационной надежности, отклонения напряжений источников питания от номинала для ОЗУ значительно превышают допустимые отклонения напряжений питания для микросхемы К527РУ1. Это говорит о большом запасе устойчивости ОЗУ.

Рис. 2

ЛИТЕРАТУРА

Полевые транзисторы и интегральные микросхемы, технический каталог. М., ЦНИИ «Электроника», 1975.

Петров Ю. И.

ИСПОЛЬЗОВАНИЕ МИКРОСХЕМ ОЗУ СЕРИИ К527 В ИНТЕРПОЛИРУЮЩЕМ ФУНКЦИОНАЛЬНОМ ПРЕОБРАЗОВАТЕЛЕ

В исследовательских задачах для генерирования сигналов сложной формы обычно используются так называемые функциональные преобразователи, в которых моделируются заданные функции.

В зависимости от принципа действия функционального преобразователя генерируемые сигналы либо имеют строго

определенную форму, либо их форма может меняться в ходе эксперимента.

С точки зрения смены формы генерируемых сигналов наиболее универсальны интерполирующие функциональные преобразователи, в которых моделируемая функция разбивается на ряд участков. Граничные точки этих участков называются узлами интерполяции. Значения функции в узлах интерполяции хранятся в запоминающем устройстве. По командам управления выбираются значения ординат функций из ЗУ и интерполируются в интерполяторе между соседними узлами.

В разработанном так называемом управляемом генераторе детерминированных сигналов — УГДС (структурная схема показана на рис. 1) используются три интерполирующих функциональных преобразователя: БЗФ — блок задания формы сигнала, в котором моделируется форма генерируемого сигнала, БУЧ — блок управления частотой и БУА — блок управления амплитудой, в которых моделируются соответственно законы изменения частоты и амплитуды генерируемого сигнала.

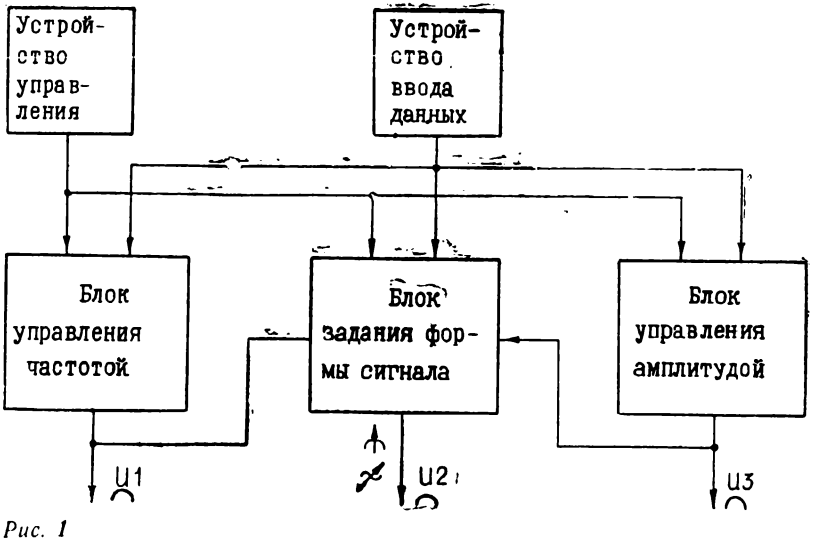


Рис. 1

При разработке интерполирующих функциональных преобразователей для УГДС возник вопрос о выборе элементов для запоминающего устройства.

К ЗУ УГДС предъявлялись следующие требования: работа в частотном диапазоне до 10 *кГц*; возможность смены информации; объем памяти — 64 слова по 11 разрядов; хранение

информации при отключенном питании; стыкуемость с элементами ТТЛ логики; малые габариты.

Рассмотрение различных типов запоминающих устройств показало, что наиболее полно поставленным требованиям отвечают полупроводниковые интегральные запоминающие устройства серий К519 и К527. С точки зрения возможностей смены информации и ее хранения при отключенном питании наиболее подходящими являются ПЗУ с электрической сменой информации типа К519РЕ2. Однако необходимость использования для данных микросхем большого набора источников питания, в том числе высоковольтных, существенно ограничивает применение их в автономных приборах.

В УГДС в качестве элементной базы запоминающего устройства были выбраны полупроводниковые интегральные ОЗУ типа К527РУ1. Микросхемы этого типа удовлетворяют все требования, предъявляемые к ЗУ УГДС, кроме хранения информации при отключенном питании.

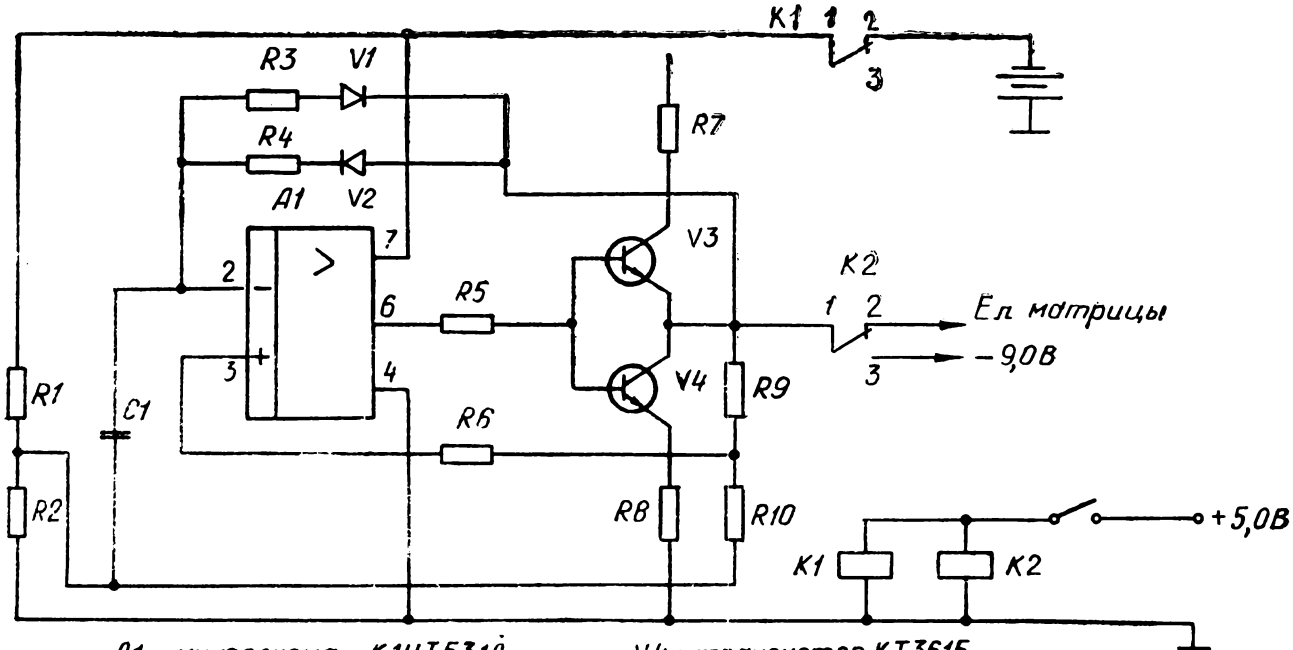
Хранение информации при отключении сетевого питания генератора обеспечивается импульсным питанием матрицы от вспомогательного источника с отключением питания обрамления.

В качестве импульсного источника питания матрицы используется мультивибратор, выполненный на интегральном УПТ типа К1УТ531А (рис. 2). При отключении сетевого питания срабатывают реле К1 и К2. При этом через нормально замкнутые контакты реле К1 на мультивибратор подается питание от батареи, а через нормально замкнутые контакты реле К2 на матрицу поступает импульсное питание от мультивибратора. Емкость батарей обеспечивает непрерывное хранение информации в трех ЗУ в течение 100 *ч*.

Информация записывается в каждое из трех ЗУ генератора через оптико-электронное устройство считывания. Первичный носитель информации — стандартная перфокарта, на которой программным путем на ЭВМ БЭСМ-6 на одиннадцати строках набивается информация о виде моделируемого сигнала, а двенадцатая используется в качестве синхродорожки.

Из устройства считывания информация поступает на усилители считывания (рис. 3), с которых переписывается в буферный регистр и через элементы согласования, в качестве которых используются логические элементы с открытым коллекторным выходом 155 серии типа К1ЛБ558, поступает на вход матриц ЗУ.

Адреса записываемых слов определяются состоянием управляющего счетчика, на вход которого поступают синхроимпульсы, формируемые с помощью синхродорожки. Из синхро-



A1 – микросхема К1УТ531А

V1, V2 – диоды Д9Л

V3 – транзистор КТ315Е

V4 – транзистор КТ361Б

K1, K2 – реле РЭС 55А

Рис. 2

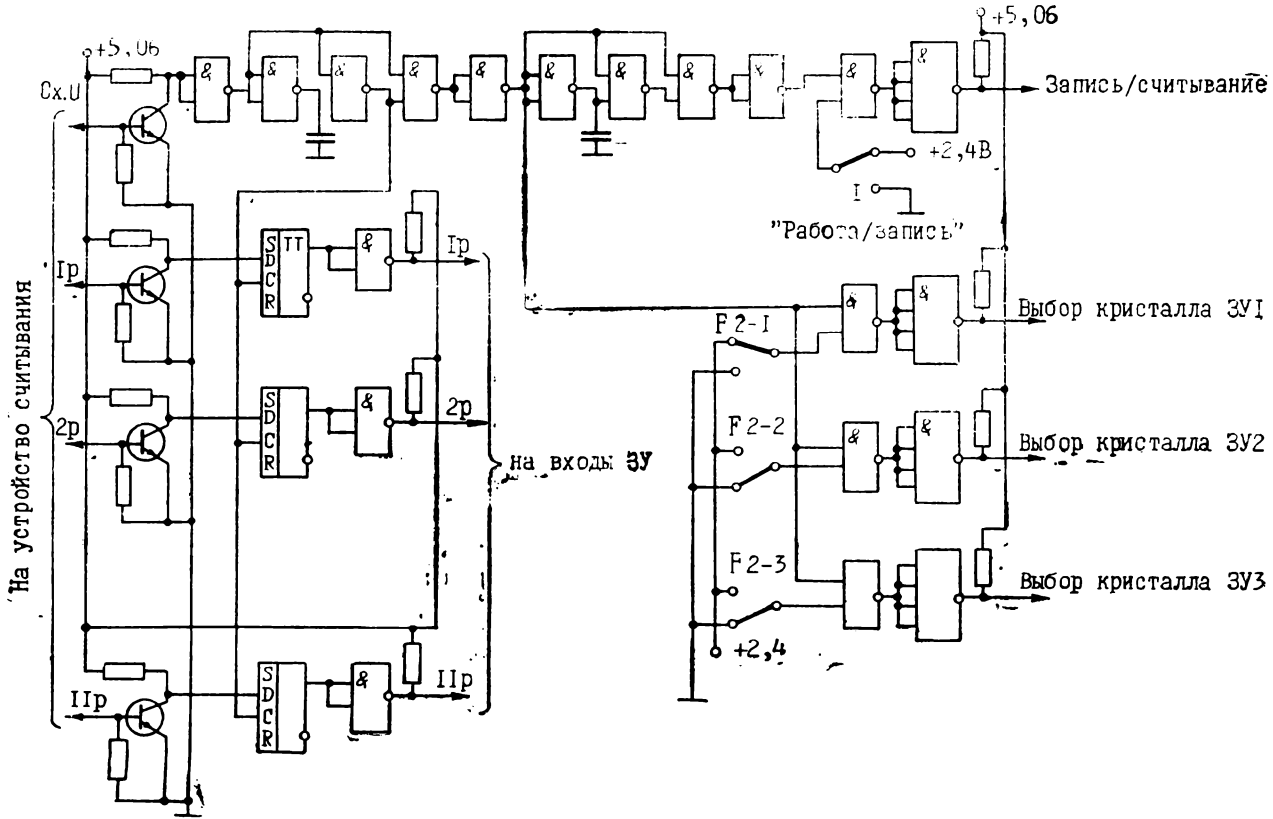

+5,06
+5,06
Сх.U
Запись/считывание
+2,4В
I
"Работа/запись"
Ip
2p
IIp
Ip
2p
IIp
S
D
C
R
TT
На устройство считывания
на входы ЗУ
F2-I
F2-2
F2-3
+2,4
Выбор кристалла ЗУ1
Выбор кристалла ЗУ2
Выбор кристалла ЗУ3

Рис. 3

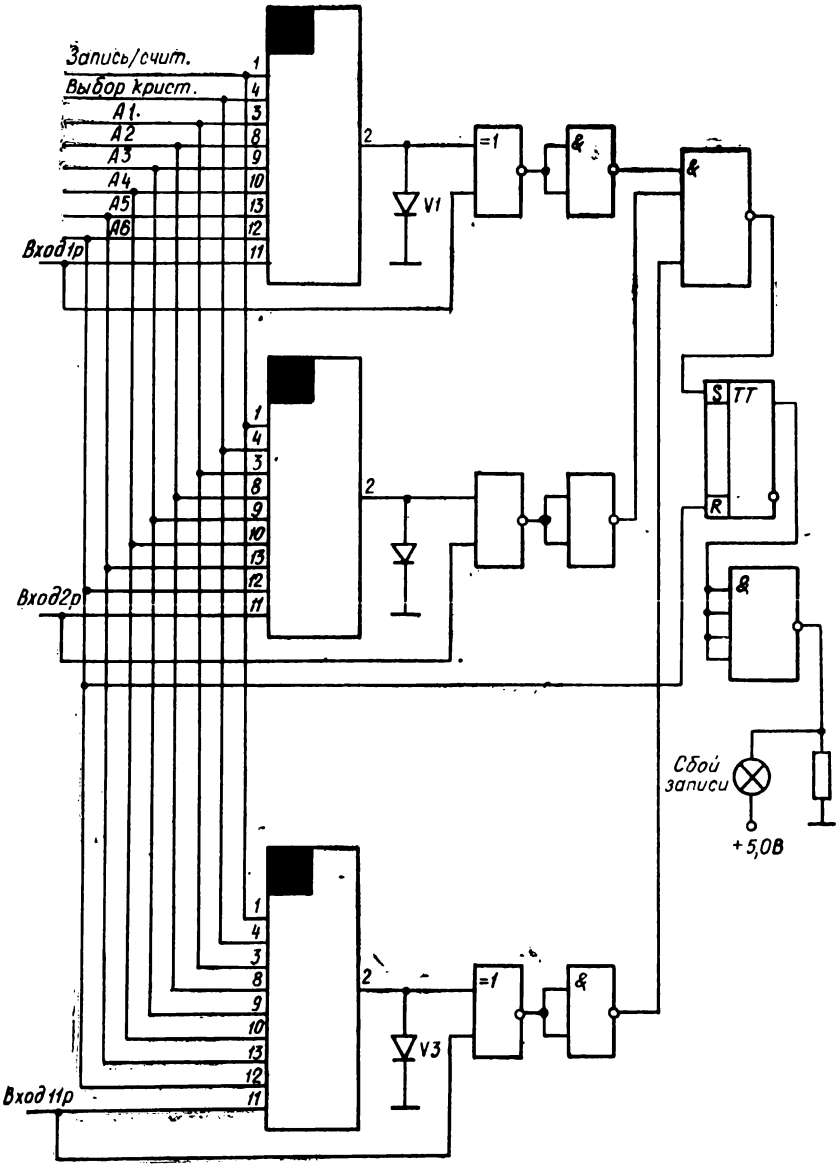

Запись/счит.
Выбор крист.
A1.
A2
A3
A4
A5
A6
Вход1р
Вход2р
Вход11р
V1
V3
=1
&
S
TT
R
Сбой записи
+5,0В

Рис. 4

импульсов формируются импульсы записи и выбора кристалла с необходимой задержкой относительно друг друга и момента смены адреса. Согласование с матрицей осуществляется с помощью логических элементов с открытым коллекторным выходом типа К1ЛБ557.

Режим записи и считывания определяется положением переключателя F1 («Работа/запись»). ЗУ, в которое производится запись, выбирается с помощью команды «Выбор кристалла» и определяется положением переключателя F2 («Выбор ЗУ»).

Запись контролируется с помощью схемы сравнения информации на входе и выходе ОЗУ, выполненной на микросхемах К155ЛП5 (исключающее ИЛИ) (рис. 4). При несовпадении входного и выходного кодов схема контроля срабатывает и загорается лампочка «Сбой записи». В этом случае необходимо повторить запись.

Каждое из трех запоминающих устройств конструктивно состоит из одиннадцати микросхем ОЗУ серии К527 и схемы контроля, включающей в себя по три микросхемы типов 155ЛП5, К1ЛБ551, К1ЛБ553, по одной микросхеме типов К1ТК551 и К1ЛБ557 и размещено на печатной плате размером 240×134 *мм*.

Усилители считывания, буферный регистр с элементами согласования и формирователи управляющих команд размещены на одной плате и являются общими для всех трех запоминающих устройств.

ЛИТЕРАТУРА

1. Горский Ю. М., Петров Ю. И., Чернышев Н. А., Рыжков В. Н., Гавел Я. Разработка устройства для автоматизации проведения эксперимента. В кн. «Применение частотных методов в электроэнергетических исследованиях», тезисы II Всесоюзного совещания. Новосибирск, 1976.
2. Технический каталог. Полевые транзисторы и интегральные микросхемы. М., ЦНИИ «Электроника», 1975.

Герасимов В. А., Смирнов Р. В., Виталиев Г. В.

РАЗРАБОТКА ОЗУ ЕМКОСТЬЮ 32 КБАЙТА НА ОСНОВЕ МИКРОСХЕМ ПАМЯТИ К527РУ2

Цель разработки — создание памяти пульта для моделей усовершенствованной ЕС ЭВМ. Особенностями такой памяти являются умеренное быстродействие и значительная емкость.

Согласно техническим требованиям устройство должно размещаться в панели ЕС ЭВМ и иметь следующие параметры: емкость 32 кбайта (32К×9), цикл 1 *мкс*.

Анализ показал, что в качестве элемента такой памяти может быть использована микросхема ОЗУ емкостью 256 *бит* с временем выборки менее 1 *мкс*, а именно микросхема К527РУ2. В устройстве содержится 1152 микросхемы памяти. Так как устройство имеет 9 разрядов, то целесообразно строить 9-разрядные модули памяти. Емкость такого модуля 1024×9. Указанная структура модуля памяти позволяет использовать его как унифицированный модуль, обеспечивающий построение ЗУ различной конфигурации емкостью от 1 до 128 кбайт.

Модули памяти размещаются на платах размером 140×150 *мм*, причем на каждой плате располагается 36 микросхем памяти. Так как максимальный ток потребления микросхемы К527РУ2 — 30 *мА*, максимальная мощность, рассеиваемая на модуле памяти, равна 16 *Вт*. В связи с тем, что допустимая рассеиваемая мощность для минимального модуля ЕС ЭВМ при воздушном охлаждении составляет 12 *Вт*, использование микросхем памяти К527РУ2 без импульсного питания недопустимо. Отключение напряжения питания минус 9 *В* со схем управления матрицы памяти не обеспечивает существенный выигрыш по потребляемой мощности. Поэтому в устройстве, помимо отключения схем управления матрицы, применено импульсное питание накопительной части микросхем. Для одного модуля на максимальной частоте это обеспечивает снижение потребляемой мощности в 3 раза. При увеличении числа модулей в устройстве памяти все они, кроме одного, находятся в режиме хранения. Так как в режиме хранения модуль потребляет 2,0 *Вт*, а в активном режиме 5,5 *Вт*, накопительная часть ОЗУ 32 кбайта потребляет около 70 *Вт*.

Помимо 32-х накопительных ТЭЗов, стыкованных по входам и выходам с ТТЛ, в устройстве содержится два ТЭЗа управления, в которые входят преобразователи уровня ТТЛ—ЭСЛ (и наоборот), выходной регистр, а также схема управления импульсным питанием.

Импульсное питание накопителя производится от источника питания минус 9 *В* с помощью 128 ключей, по четыре ключа на плате. Каждый ключ обеспечивает подключение одновременно 9 микросхем памяти.

Конструктивно модули памяти выполнены на многослойных печатных платах, причем схемы памяти располагаются по 18 штук на каждой стороне, а остальные схемы управления — на одной из сторон печатной платы.

Таким образом, разработанное устройство имеет объем 34 модуля ЕС ЭВМ и потребляет около 80 *Вт*. Это позволяет использовать ЗУ без вентиляции.

Смирнов Р. В., Софийский Г. Д., Блохина Г. Н., Янушкевич А. П.

ОПЕРАТИВНЫЕ ЗАПОМИНАЮЩИЕ УСТРОЙСТВА НА ОСНОВЕ МИКРОСХЕМ ПАМЯТИ К527РУ1

Выпускаемая отечественной промышленностью полупроводниковая микросхема памяти К527РУ1 является *p*-канальным статическим МДП ОЗУ емкостью 64 *бит* с временем выборки не более 0,8 *мкс* и удельной потребляемой мощностью в режиме записи или считывания не более 2,5 *мВт/бит*. Микросхема допускает снижение удельной потребляемой мощности до 1,2 *мВт/бит* в режиме хранения при отключении источника питания обрамления и до 50 *мкВт/бит* в том же режиме при отключении источника питания обрамления и импульсном питании матриц памяти.

Разработанное на основе микросхемы К527РУ1 ОЗУ емкостью 512 *байт* (256 чисел × 16 разрядов) размещается на одной плате размером 198 × 144 *мм*^{2} и имеет время выборки не более 0,9 *мкс*. Среднее потребление мощности 9,5 *Вт*. Устройство отличается простотой исполнения и удобством при наладке и эксплуатации. Его входные и выходные цепи выполнены на микросхемах 133-й серии. ОЗУ питается от источников с номиналами «+5» и «—9» *В*. Область устойчивой работы устройства в тесте «Дождь» составляет примерно ±20%. В ОЗУ нет схем для уменьшения потребляемой мощности, поскольку основной задачей его разработки были простота реализации и минимальный объем при максимально достижимых быстродействии и надежности.

В другом ОЗУ емкостью 2 *кбайта* (1024 числа × 16 разрядов) были применены транзисторные ключи для отключения источника питания обрамления и организовано импульсное питание матрицы памяти, что позволило снизить максимально потребляемую мощность устройства с 50 до 7 *Вт* и получить удельное потребление мощности 440 *мкВт/бит*. ОЗУ размещается на 4-х платах размером 198 × 144 *мм*^{2} (на первых 2-х платах располагается накопитель, на третьей — блок управления ОЗУ, на четвертой плате — ключи импульсного питания).

Накопитель организован в виде матрицы 16 строк × 16 столбцов из микросхем К527РУ1, причем, каждая строка со-

ставляет 16 разрядов ОЗУ. При обращении к ОЗУ с помощью ключей подключается строка из микросхем в соответствии с поступающим кодом адреса. Питание к обрамлению и матрице памяти микросхем подключается разными ключами, причем каждый ключ нагружается на группу из 16 микросхем. Если нет обращения к ОЗУ, то для сохранения информации производится импульсная (с частотой 32 *кГц*) подпитка матриц памяти с помощью генератора импульсов, входящего в блок управления ОЗУ. Отключение питания обрамления и импульсное питание матриц памяти практически не снижает быстродействие ОЗУ и позволяет получить время выборки не более 1,0 *мкс*. В устройстве, помимо микросхем памяти К527РУ1, использованы микросхемы 106- и 134-й серий, транзисторные сборки 1НТ251, транзисторы 2Т208, резисторные и конденсаторные блоки. ОЗУ питается от двух источников с номиналами «+5» и «—10» *В*.

Сравнение показывает, что ОЗУ с отключением питания обрамления и импульсным питанием матрицы памяти занимает вдвое больший объем, чем ОЗУ аналогичной емкости без отключения питания обрамления и импульсного питания матрицы, однако, дает семикратный выигрыш в потребляемой мощности без существенного снижения быстродействия. Подобное же сравнение с ферритовым ОЗУ показывает, что полупроводниковое ОЗУ на основе микросхем К527РУ1 имеет на 200 *нс* меньшее время выборки, потребляет втрое меньшую мощность, дает 20%-ный выигрыш в габаритах, весит примерно вдвое меньше и, кроме того, имеет меньше на один номинал питания.

Купер Э. А., Нифонтов В. И., Ощепков Ю. И., Пискунов Г. С., Сазанский В. Я.

ОРГАНИЗАЦИЯ ОПЕРАТИВНОЙ ПАМЯТИ В ИНФОРМАЦИОННО-ИЗМЕРИТЕЛЬНЫХ СИСТЕМАХ ДЛЯ УПРАВЛЕНИЯ КОМПЛЕКСОМ ФИЗИЧЕСКИХ УСТАНОВОК

Разработаны и изготовлены многоканальные (до 128 каналов) измерительные и управляющие блоки для автоматизации работы физического комплекса при помощи вычислительной машины (ВМ).

Каждый блок содержит оперативное запоминающее устройство (ОЗУ) емкостью 128 двенадцатиразрядных слов, реализованное на интегральных схемах типа К527РУ1.

ОЗУ используется в качестве буфера между ВМ, оконечными устройствами и другими приборами, предназначенными для измерения различных параметров.

Особенностью систем является циклический перебор адресов ОЗУ с синхронным подключением каналов соответствующих внешних устройств. Доступ ВМ к ОЗУ—асинхронный, по адресу, диктуемому ВМ.

Качество изготовленной платы ОЗУ контролируется при помощи ВМ. В эксплуатационном режиме предусмотрен периодический контроль всей системы по специальной тестовой программе.

Батраков А. М., Нифонтов В. И., Козак В. Р., Хильченко А. Д.

ОРГАНИЗАЦИЯ ОПЕРАТИВНОЙ ПАМЯТИ В УНИВЕРСАЛЬНОЙ АВТОМАТИЗИРОВАННОЙ ИЗМЕРИТЕЛЬНОЙ СИСТЕМЕ

Разработана и изготовлена восьмиканальная автоматизированная измерительная система для цифровой обработки импульсных сигналов.

Для системы разработан блок оперативной памяти, предназначенный для фиксации поступающих от АЦП цифровых данных и последующего ввода в ЭВМ накопленных массивов. Организация блока оперативной памяти — 8 каналов по 512 восьмиразрядных слов.

Особенностью построения является использование общих информационных шин и шин управления для запоминающих устройств всех каналов. В каждом запоминающем устройстве информация накапливается с помощью временной селекции поступающих от АЦП цифровых данных.

Максимальная скорость приема информации—160 *Мбит/с*.

Предусмотрена возможность функционального контроля запоминающих устройств с помощью теста «бегущая 1».

Браверман И. Я.

УНИВЕРСАЛЬНЫЙ БЛОК ИНДИКАЦИИ С ЭЛЕКТРОЛЮМИНЕСЦЕНТНЫМ МАТРИЧНЫМ ЭКРАНОМ И БУФЕРНЫМ ЗАПОМИНАЮЩИМ УСТРОЙСТВОМ

Создание устройств отображения информации с матричным электролюминесцентным (ЭЛ) экраном ставит перед разработчиками этих устройств ряд специфических задач,

связанных с особенностями возбуждения электролюминесцентного матричного экрана. Основные из этих задач — необходимость построчного сканирования ЭЛ матричного экрана, обусловленная малыми импульсными яркостями электролюминесцентного слоя; согласование оптимального режима возбуждения ЭЛ матричного экрана с режимом поступления отображаемой информации, наличие большого числа дискретных выводов экрана и высокие управляющие напряжения на его электродах.

Наличие автономного буферного запоминающего устройства (БЗУ) в настоящее время характерно для любого устройства отображения информации. Применение БЗУ в устройствах отображения информации с ЭЛ матричными экранами позволяет не только обеспечить работу устройства отображения в режиме разделения времени, но и осуществить постолбцовое сканирование матричного экрана в режимах, не зависящих от характеристик устройства ввода-вывода и характера воспроизводимой информации (частоты посылок, скорости передачи информации, ее вида). Таким образом, БЗУ позволяет выбрать оптимальный режим воспроизведения информации и возбуждения ЭЛ экрана [1].

Дискретная структура ЭЛ экрана и принципы его управления хорошо согласуются с современными полупроводниковыми оперативными запоминающими устройствами с произвольной выборкой (ОЗУ). Совместное применение ЭЛ матричных экранов и полупроводниковых ОЗУ, наряду с другими достижениями микроэлектроники, позволяет создавать малогабаритные и многофункциональные устройства отображения информации.

Разработан и изготовлен универсальный блок индикации с электролюминесцентным матричным экраном, предназначенный для воспроизведения знаковой и графической информации. Блок состоит из матричного экрана, буферного ЗУ (БЗУ), схем коммутации электродов матричного экрана и БЗУ, и входных логических схем, позволяющих выполнять запись, редактирование, общее и выборочное стирание воспроизводимой информации. БЗУ блока индикации, изготовленное на основе микросхем К527РУ1, организовано таким образом, что каждой точке матричного экрана соответствует ячейка памяти БЗУ, т. е. объем памяти БЗУ равен информационной емкости экрана. Устройства отображения информации с таким объемом памяти БЗУ инвариантны к содержанию воспроизводимой информации и, наряду со знаковой, позволяют воспроизводить графическую информацию произвольной формы и сложности.

Блок-схема разработанного универсального блока индикации показана на рис. 1. Блок состоит из ЭЛ матричного экрана, коммутатора столбцов экрана (КСЭ), матрицы БЗУ, блока выбора информационной строки (БВИС), блока управления и выходных каскадов коммутации строк ЭЛ экрана.

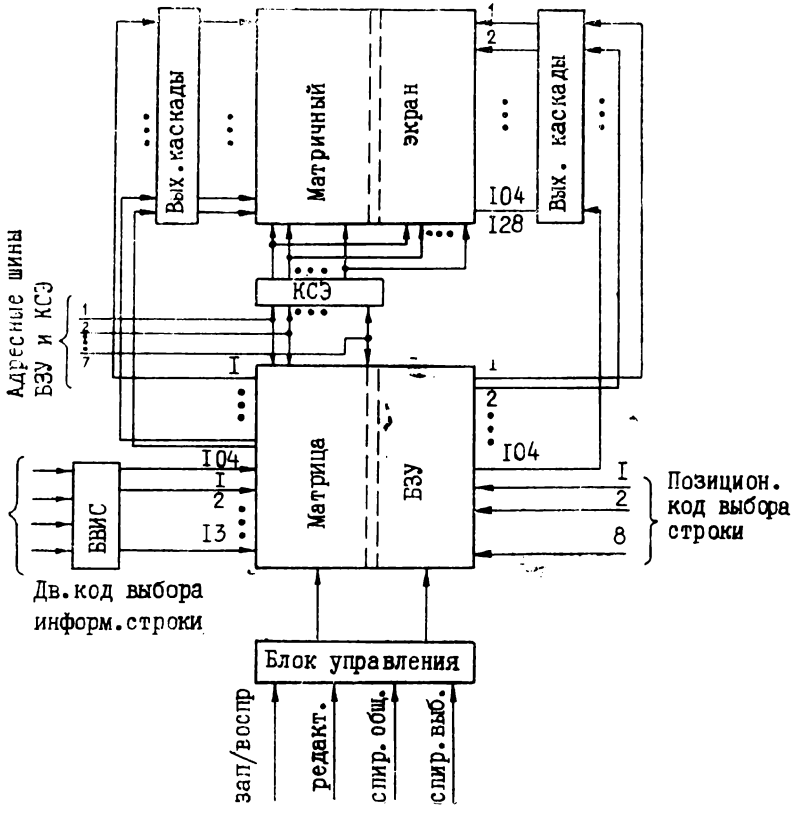


Рис. 1

Матрица БЗУ состоит из 104-х разрядов по 128 слов в каждом, что соответствует структуре матричного экрана, имеющего 104×128 элементов разложения. Разряды ЗУ объединены в 13 информационных строк, по 8 разрядов в каждой строке. Информационная строка выбирается посредством БВИС, на четыре входа которого подается четырехразрядный двоичный код выбора информационной строки БЗУ и, соответственно, матричного экрана. Разряд БЗУ и соответствующей строки матричного экрана в пределах выбранной информационной

строки выбирается позиционным кодом, подаваемым на восемь входов выбора строк БЗУ. Такое функциональное построение БЗУ позволяет параллельно записывать информацию по восьмиразрядным шинам БЗУ, принадлежащим выбранной информационной строке, что ускоряет запись знаковой информации при записи ее в информационную строку в стандартной знаковой матрице 7×5. Восьмая строка информационной строки при этом может быть использована в качестве маркерной.

Посредством блока управления выбирается режим работы БЗУ и блока индикации в целом. В блоке предусмотрены следующие режимы работы: запись информации, воспроизведение, редактирование, стирание информации общее и выборочное.

Работа блок-схемы заключается в следующем. В режиме записи на входы БВИС подают двоичный код выбора необходимой информационной строки, на восемь входов строк этой строки — позиционный код изображения, которое необходимо записать в выбранной информационной строке по одному из 128 адресов, определяемому адресным кодом, подаваемым на адресные шины БЗУ. Меняя коды выбора информационной строки, позиционный код выбора строк и адресные коды БЗУ, в матрицу БЗУ записывают скрытое изображение. Так как матрица БЗУ построена на основе микросхем ЗУ с произвольной выборкой К527РУ1, смена всех кодов может выполняться в любой последовательности, что существенно сокращает в ряде случаев время записи и облегчает согласование режимов работы источников записываемой информации с режимом записи блока индикации.

В режиме воспроизведения на шесть адресных шин БЗУ подается последовательно изменяющийся двоичный код. Седьмая шина (шина старшего разряда двоичного кода) блокируется. Благодаря этому матрица БЗУ в режиме воспроизведения разделяется на две полуматрицы по 104 разряда × 64 слова каждая, и сигнал адресной выборки поступает одновременно на два 104-разрядных слова, адреса которых отличаются на 64 и каждое из которых принадлежит одной из полуматриц БЗУ.

Синхронно с выборкой двух слов БЗУ коммутируются соответствующие по номерам два столбца матричного экрана, также разделенного на две полуматрицы, так как строки у него разорваны между 64 и 65-м столбцами, а столбцы включены попарно параллельно, как показано на рис. 1.

Таким образом, при последовательном изменении двоичного кода адреса происходит синхронная последовательная

коммутация адресов полуматриц БЗУ и соответствующих столбцов полуматриц ЭЛ экрана.

Сигналы от выбранных по адресу ячеек памяти, в которых была записана логическая единица, поступают параллельно по 104-м выходным шинам каждой из полуматриц на выходные каскады и после усиления подаются на полустроки матричного экрана, столбцы которого сканируются последовательно и синхронно соответствующими адресами БЗУ.

Так осуществляется постолбцовое сканирование матричного экрана и БЗУ и воспроизведение изображения на матричном экране. Благодаря тому, что при считывании в микросхемах К527РУ1 информация не разрушается, можно продлить цикл воспроизведения однократно записанной информации сколь угодно долго, непрерывно регенерируя на матричном экране изображение записанной в БЗУ информации. При этом частота регенерации может быть выбрана оптимальной с точки зрения получения необходимой яркости и контрастности изображения и долговечности ЭЛ матричного экрана [2].

Применение в разработанном блоке индикации ЭЛ матричного экрана, разделенного на две полуматрицы, позволило вдвое уменьшить скважность возбуждения каждого элемента экрана, что привело к усилению средней яркости и контрастности изображения в два раза.

Рассмотрим более подробно работу буферного запоминающего устройства блока индикации. Применение обычных методов объединения микросхем К527РУ1 в матрицу БЗУ, даже при полном объеме памяти БЗУ, равном информационной емкости экрана, не позволяет записывать сложную информацию или последовательно записывать несколько изображений. Обычное объединение микросхем К527РУ1 в матрицу БЗУ 104 разряда × 128 слов показано на рис. 2.

Рассмотрим работу этой схемы в режиме записи информации. На одну из шин выбора матриц запоминающих элементов подают сигнал выбора (логический нуль), поступающий по этой шине на микросхемы, входы выбора кристалла которых соединены с указанной выбранной шиной. Этим самым определяют ту половину (полуматрицу) БЗУ, куда будет записана информация. Одновременно на одну или несколько выбранных входных шин разрядов БЗУ подают входные сигналы разрядов (логическую единицу), которые поступают по этим шинам на входы записи микросхем БЗУ, принадлежащих выбранным для записи разрядам.

Таким образом для записи выбирается микросхема или несколько микросхем запоминающих элементов, лежащих в пересечении выбранной шины выбора полуматрицы и выбран-

ных разрядных шин БЗУ. Необходимый запоминающий элемент в микросхеме или в группе микросхем выбирается при помощи адресного кода, подаваемого на адресные шины БЗУ и поступающего по ним на адресные входы всех микросхем одновременно. После этого на вход сигнала записи БЗУ пода-

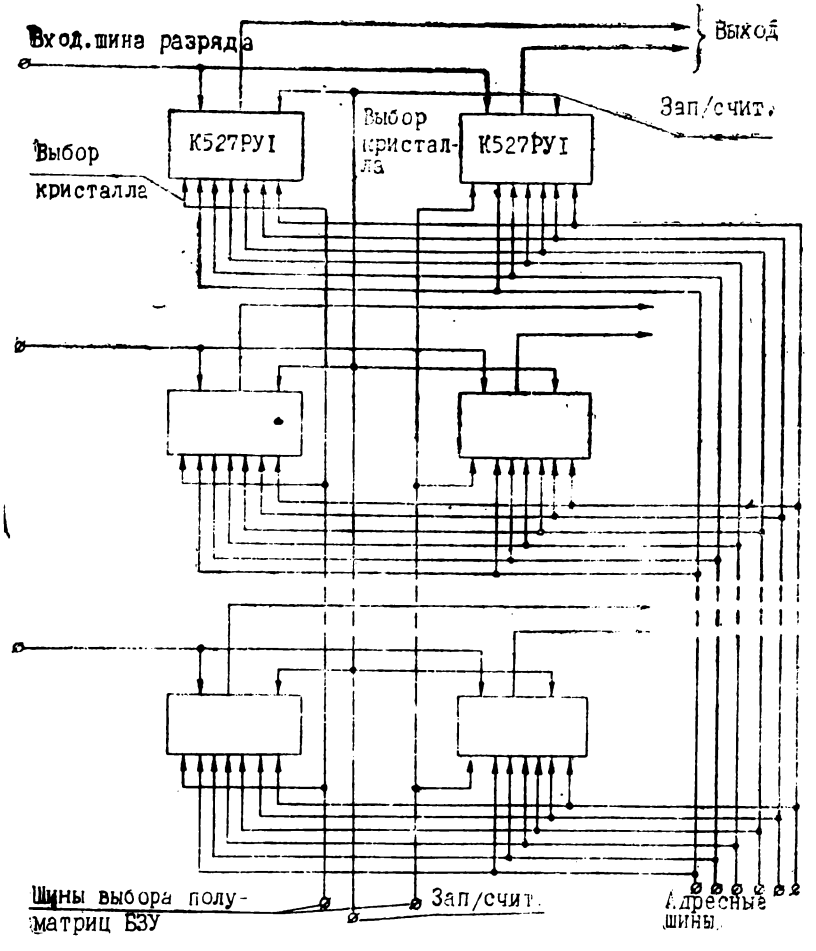


Рис. 2

ют сигнал записи (уровень логической единицы), который поступает на входы управления режимом всех микросхем БЗУ. Таким образом, последовательно или произвольно изменяя адреса запоминающих элементов (слов), выбирая различные половины БЗУ, можно записать информацию в любой запо-

минающий элемент ЗУ. При этом не требуется предварительное стирание информации, так как при выборе очередного адреса слова все невыбранные по разрядным шинам запоминающие элементы, принадлежащие выбранному слову, обнуляются.

При применении микросхем К527РУ1 в различных ОЗУ для записи двоичных кодов не требуется предварительное стирание информации, что существенно облегчает работу с ОЗУ и сокращает время записи. В этом достоинство микросхем К527РУ1. Однако при применении их в устройствах отображения информации с полным объемом памяти БЗУ, в котором записывается скрытое изображение отображаемой информации, хранимое в виде позиционного кода, автоматическое стирание ранее записанной информации становится в ряде случаев существенным недостатком.

Особенно ярко это проявляется при отображении графической информации, так как не позволяет последовательно записывать два или более графика или других изображения для одновременного воспроизведения затем на матричном экране. Это вызвано тем, что при использовании обычного подключения микросхем К527РУ1, показанного на рис. 2, при записи каждого нового графика автоматически стирается ранее записанная информация.

Поэтому в разработанном блоке индикации с ЭЛ матричным экраном используется несколько необычное соединение микросхем К527РУ1 в матрицу БЗУ, которое позволило ввести два вида записи информации — с сохранением и с разрушением ранее записанной информации.

Функциональная схема БЗУ универсального блока индикации показана на рис. 3.

Рассмотрим работу схемы при записи с сохранением ранее записанной информации. В этом режиме на вход вида записи БЗУ подают логическую единицу. На одну из шин выбора полуматриц БЗУ подают сигнал выбора полуматрицы БЗУ — логическую единицу, которая поступает по этой шине на те микросхемы, входы управления режимом которых подсоединены к указанной шине. Тем самым определяют ту половину БЗУ (правую или левую), куда будет записана информация. В другой, невыбранной половине БЗУ будет возможно только считывание информации.

Одновременно с этим на входы одного или нескольких разрядов БЗУ (входы первых схем И-НЕ) подают логическую единицу. Дважды проинвертированный посредством входной схемы И-НЕ и инвертора входной сигнал разряда поступает с выхода инвертора на входы записи микросхем выбранных

разрядов. Таким образом для записи выбирается микросхема или группа микросхем, лежащих в пересечении выбранной шины полуматрицы и выбранных разрядов БЗУ.

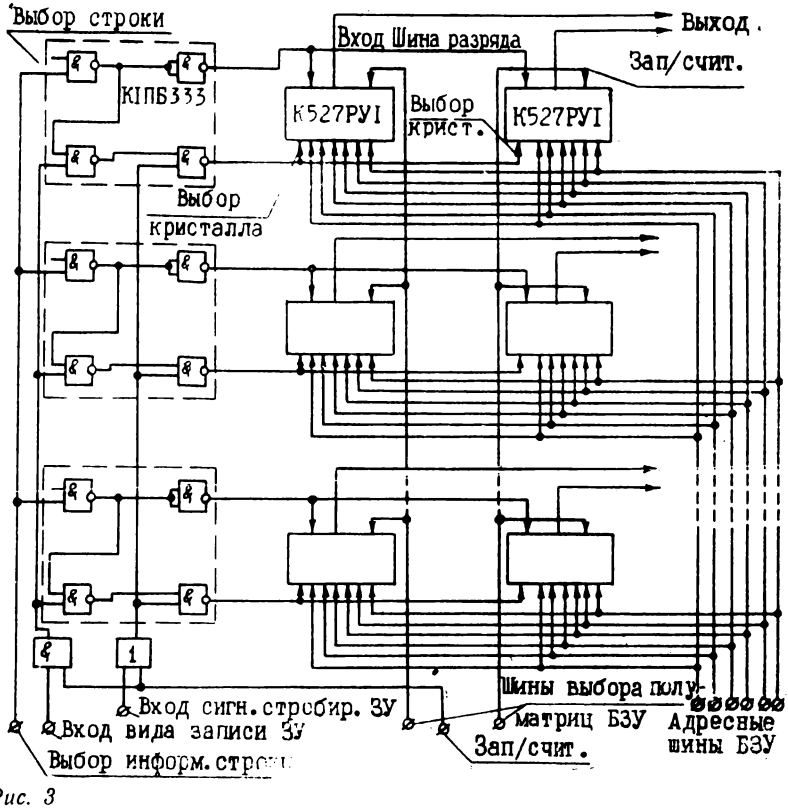


Рис. 3

Необходимый запоминающий элемент в выбранной микросхеме или группе микросхем выбирают при помощи адресного кода, подаваемого на адресные шины БЗУ. Сигнал логического нуля с выходов выбранных входных двухвходовых схем И-НЕ поступает также на один из входов второй схемы И-НЕ, на другой вход которой по шине вида записи подается сигнал логической единицы. Поэтому на выходе этой схемы, принадлежащей выбранному разряду, появляется сигнал логической единицы, который подается на один из входов третьей двухвходовой схемы И-НЕ. На другой вход этой схемы в режиме записи подается сигнал записи — логическая единица. На выходе этой схемы, принадлежащей выбранному разряду, появляется сигнал логического нуля, поступающий на вход выбора

кристалла микросхем и позволяющий, тем самым, произвести запись логической единицы в заранее выбранный по адресу элемент памяти микросхемы, принадлежащей выбранной полуматрице БЗУ.

Сигнал логической единицы с выходов входных схем И-НЕ невыбранных разрядов БЗУ поступает на один из входов второй схемы И-НЕ. Так как на другом ее входе при записи с сохранением ранее записанной информации имеется сигнал логической единицы, подаваемой по шине вида записи, то сигнал на выходе второй схемы И-НЕ невыбранного разряда будет равен нулю, а на выходе третьей схемы И-НЕ — логической единице, запрещая запись, а тем самым и стирание ранее записанной в невыбранном разряде информации, из-за отсутствия сигнала выбора кристалла на микросхемах невыбранных разрядов.

Таким образом, изменяя адреса элементов памяти (слов), выбирая различные разряды БЗУ, можно записать логическую единицу в любой элемент памяти БЗУ, не разрушая ранее записанную в нем информацию. Это позволяет последовательно записывать и одновременно воспроизводить на ЭЛ матричном экране блока индикации несколько изображений.

Рассмотрим работу схемы (см. рис. 3) в режиме записи с разрушением ранее записанной информации. Элемент памяти в этом режиме выбирается также, как и в описанном выше случае с сохранением ранее записанной информации. Но в этом режиме на шину вида записи подают сигнал логического нуля. Поэтому сигнал на выходе второй схемы И-НЕ каждого из разрядов будет равен логической единице. Этот сигнал поступает на один из выходов третьей схемы И-НЕ, на другой вход которой подается в режиме записи сигнал логической единицы. Поэтому сигнал на выходе третьих схем И-НЕ каждого из разрядов будет равен нулю и микросхемы всех разрядов будут выбраны по кристаллу для записи, а значит и для стирания. Запись логической единицы в элементы памяти, выбранные по адресу, будет произведена в тех разрядах, на входные схемы И-НЕ которых была подана логическая единица. Все другие элементы памяти с тем же адресом, находящиеся в выбранной полуматрице БЗУ и принадлежащие невыбранным разрядам, будут обнулены.

Аналогично в этом режиме и полное стирание информации в БЗУ. При этом на входные схемы И-НЕ каждого из разрядов БЗУ подают сигнал логического нуля и последовательно сканируют все адреса БЗУ.

Записанная информация в разработанном БЗУ (см. рис. 3) воспроизводится следующим образом. На обе шины выбора

полуматриц БЗУ подают сигнал логического нуля, который поступает на входы управления режимом запись/считывание всех микросхем обеих полуматриц БЗУ, переводя их в режим считывания. Так как сигнал записи в режиме воспроизведения равен нулю, то на шине вида записи сигнал тоже будет равен нулю. Поэтому сигнал на выходе второй схемы И-НЕ каждого из разрядов будет равен логической единице. На шину стробирования БЗУ подают стробирующий импульс, определяющий длительность выбора кристаллов всех микросхем.

Последовательно сканируя все адреса БЗУ, последовательно опрашивают все запоминающие элементы параллельно обеим полуматрицам БЗУ. Сигналы с выходов полуматриц БЗУ поступают параллельно на полуматрицы матричного экрана, как показано на рис. 1.

Таким образом, примененное в разработанном блоке индикации подключения микросхем К527РУ1 (см. рис. 3) существенно расширило функциональные возможности разработанного БЗУ и всего блока индикации в целом, позволяя последовательно записывать и одновременно воспроизводить изображения любой сложности и конфигурации, а также записывать новую информацию с разрушением ранее записанной и редактировать ранее записанную информацию.

Основные данные разработанного универсального блока индикации с ЭЛ экраном приведены ниже.

1. Количество элементов разложения ЭЛ экрана	128×104
2. Рабочее поле экрана, *мм*^{2}	128×104
3. Яркость изображения, *кд/м*^{2}	25
4. Контрастность изображения	3 : 1
5. Объем памяти БЗУ, *кбит*	13 (13312 *бит*)
6. Максимальная скорость записи информации, *нс/точку*	500

Разработанный универсальный блок индикации применяется в настоящее время в запоминающем осциллографе с ЭЛ матричным экраном и полуавтоматическим измерением длительности любых участков однократных и периодических процессов [3].

ЛИТЕРАТУРА

1. Браверман И. Я., Лямичев И. Я. Воспроизведение графической информации на электролюминесцентных экранах. В кн. «Телевизионные методы и устройства отображения информации», под ред. Кривошеева. М., «Сов. радио», 1975, стр. 215—223.
2. Браверман И. Я. Устройство отображения графической информации на электролюминесцентном матричном экране. В сб. «Техника индикации», Киев, «Наукова думка», 1976, стр. 159—169.
3. Браверман И. Я. Осциллограф с матричным экраном. Авт. свид. СССР, № 508743. Бюлл. изобретений, 1976, № 12, стр. 114.

Балтушевич Б. С.

ОПЕРАТИВНОЕ ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО ДЛЯ СПЕЦИАЛИЗИРОВАННОГО ВЫЧИСЛИТЕЛЯ

Рассматриваются схемотехнические особенности построения полупроводникового ОЗУ для специализированного вычислителя. В вычислителе используется ОЗУ параллельного типа с произвольной выборкой информации, выполненное на интегральных микросхемах К527РУ1, и имеющее следующие технические характеристики:

объем	— 2
период обращения, *мкс*	— 256 30-разрядных слов
время считывания (при емкостной нагрузке 20 *пФ*), *мкс*	— ≤0,8
потребляемая мощность, *Вт*:	
в режиме записи или считывания информации	— 6,3
в режиме хранения информации	— 0,5

Конструктивно ОЗУ выполнено в виде кассеты, состоящей из двух одинаковых многослойных печатных плат. На одной стороне платы расположены микросхемы К527РУ1, на другой стороне — устройства, обеспечивающие согласование по входу и выходу модулей памяти с ТТЛ микросхемами и управление питанием модулей памяти.

Таким образом, каждая плата представляет собой полностью законченный автономный блок ОЗУ объемом 256 15-разрядных слов.

Рассматриваемое полупроводниковое ОЗУ может быть использовано при проектировании разнообразных устройств автоматики и вычислительной техники.

Асратян К. Э., Жаров А. А.,
Маскин Л. Х., Шарапов А. П.

ПРИМЕНЕНИЕ МИКРОСХЕМ К527РУ1 В СПЕЦИАЛИЗИРОВАННОМ ОЗУ С МАЛЫМ ЭНЕРГОПОТРЕБЛЕНИЕМ

Основная задача разработки полупроводникового варианта ОЗУ состояла в исследовании принципов организации и обеспечении наилучших режимов работы компонентов устройства, предназначенного для использования в малогабаритной аппаратуре.

Разработанный вариант полупроводникового ОЗУ имеет следующие параметры: емкость — 512×18 *бит*, время обра-

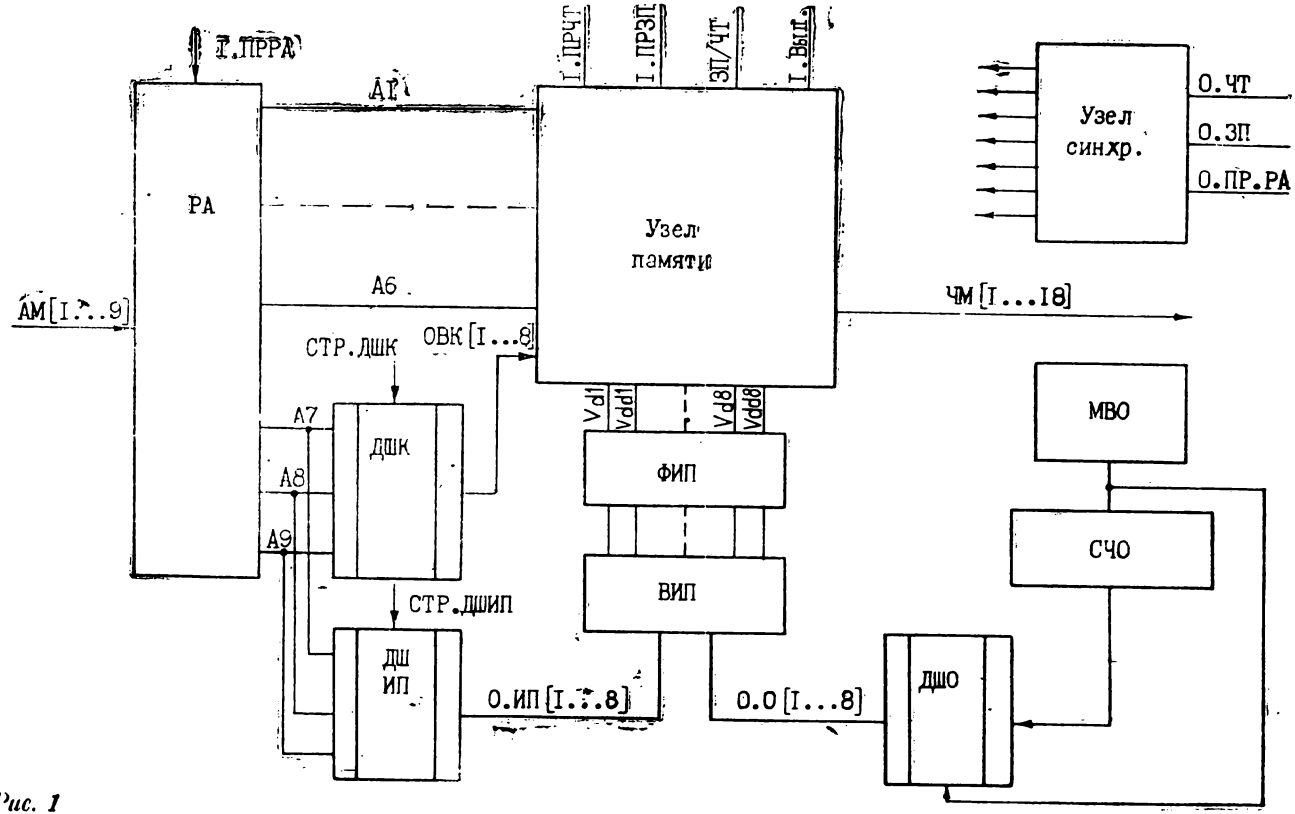

I.ПРРА
А1
I.ПРЧТ
I.ПРЗП
ЗП/ЧТ
I.ВЫП
РА
Узел памяти
Узел синхр.
О.ЧТ
О.ЗП
О.ПР.РА
АМ[I...9]
А6
ЧМ[I...I8]
СТР.ДШК
ОВК[I...8]
А7
А8
А9
ДШК
Vd1
Vdd1
Vd8
Vdd8
ФИП
ВИП
МВО
СЧО
СТР.ДШИП
ДШ ИП
О.ИП[I...8]
О.О[I...8]
ДШО

Рис. 1

щения — не более 1 *мкс*, время выборки — не более 0,6 *мкс*, потребляемая мощность — 11 *Вт* при рабочей частоте 1 *МГц* (т. е. удельная потребляемая мощность — не более 1,2 *мВт/бит*).

Структурная схема ОЗУ показана на рис. 1. Устройство состоит из 4-х основных узлов: памяти, адресного, синхронизации, импульсного питания и обновления информации. Узел памяти построен на 144 микросхемах типа К527РУ1 и логи-

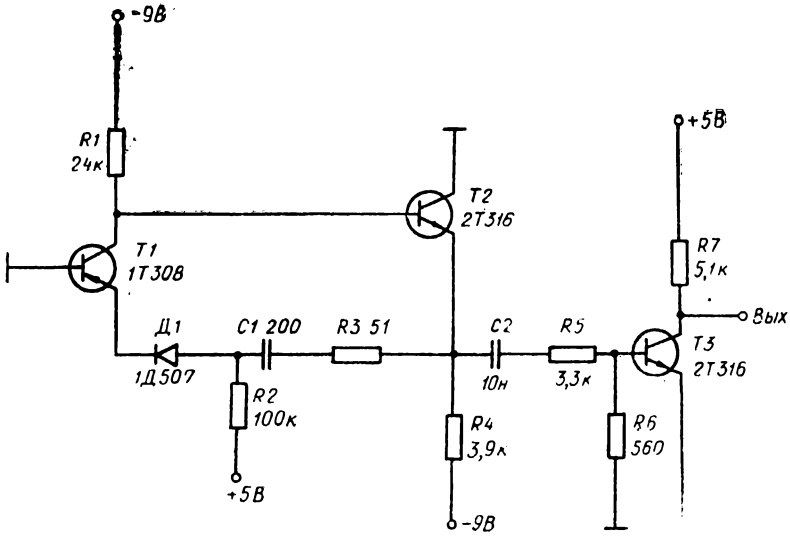


Рис. 2

ческих элементах серии 133. В состав блока входят регистр числа, схемы для занесения информации в регистр из числовой магистрали (ЧМ) при записи или с выходов запоминающих микросхем при считывании. В первом случае в узел памяти подается управляющий сигнал 1.ПРЗП, во втором — 1.ПРЧТ. В режиме чтения считанная информация выдается на ЧМ по сигналу 1.Выд. Числовая магистраль выполнена совмещенной для записи и считывания.

Особенностью разработанного блока памяти является квазистатический режим работы микросхем К527РУ1, который обеспечивается их импульсным питанием и дает существенный выигрыш в энергопотреблении всего устройства. Напряжения питания $U_{п.у}$ и $U_{п.м}$ при обращении к ОЗУ подаются на выбранные в каждом разряде микросхемы памяти. Кроме того, независимо от обращений, периодически обновляется хранимая информация. Частота импульсов обновления

$U_{п.м}$, подаваемых на одну микросхему в каждом разряде, составляет 1 *кГц*. В целях уменьшения импульсного тока, потребляемого при обновлении, импульсы обновления $U_{п.у.1}$ ... $U_{п.у.8}$ подаются поочередно.

В состав адресного узла входят 9-разрядный регистр адреса РА и дешифраторы—выбора кристалла (ДШК) и импульсного питания (ДШИП). Дешифраторы стробируются сигналами СТР.ДШК и СТР.ДШИП.

Узел импульсного питания и обновления информации формирует импульсные напряжения питания $U_{п.у}$ и $U_{п.м}$. В состав узла входят мультивибратор обновления (рис. 2), счетчик обновления, дешифратор обновления, цепи выбора импульсного питания, формирователей импульсного питания (рис. 3).

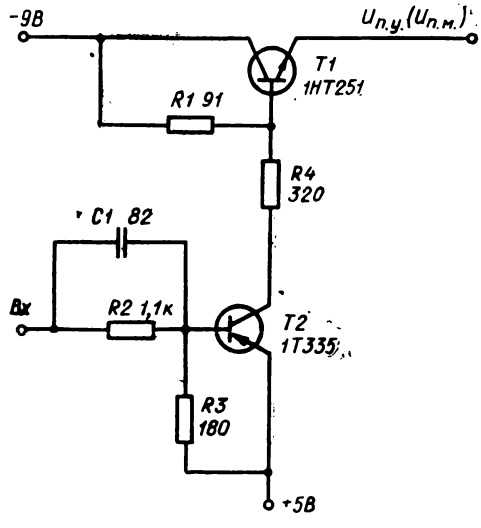


Рис. 3

В микросхемах К527РУ1 информация обновляется импульсами $U_{п.м}$ длительностью 1 *мкс*, следующими с периодом 1 *мс*.

В качестве задающего генератора использован мультивибратор обновления (МВО) с эмиттерными времязадающими цепями на биполярных транзисторах с дополнительной симметрией. Длительность генерируемых им импульсов — 1 *мкс*, период следования — 125 *мкс*. Эти импульсы подаются на вход 3-разрядного счетчика обновления (СЧО). Выходы СЧО подключены ко входам дешифратора обновления (ДШО), стробируемого импульсами МВО.

Таким образом, на выходах ДШО поочередно появляются сигналы 0.0 [1...8], каждый из которых имеет длительность 1 *мкс* и период следования 1 *мс* (СЧО реализован на микросхемах ІТК331). Эти сигналы подаются на цепи выбора импульсного питания (ВИП), связанные с формирователями импульсного питания (ФИП). При поступлении одного из сигналов либо с выхода ДШО 0.0 (обновление), либо с выхода ДШИП 0.ИП (обращение) вырабатывается импульс напря-

жения $U_{п.м}$. При поступлении одного из импульсов 0.ИП [1...8] формируется и напряжение $U_{п.у}$. Цепи ФИП состоят из 8 формирователей $U_{п.у}$ и 8 формирователей $U_{п.м}$, построенных с использованием интегральных транзисторных сборок К1НТ251 и дискретных компонентов.

Модуль ОЗУ реализован на четырех типовых элементах замены (ТЭЗ): запоминающего, адресного, формирователей импульсного питания, синхронизации. В состав запоминающего ТЭЗ входят микросхемы К527РУ1 (16 *шт.*) и серии 133, на которых реализована 2-разрядная часть узла памяти. В модуле ОЗУ используется 9 запоминающих ТЭЗ.

Адресный ТЭЗ включает в себя адресный узел, а также часть узла импульсного питания и обновления информации — СЧО, ДШО, ВИП. На ТЭЗ формирователей импульсного питания размещены цепи ФИП. В ТЭЗ синхронизации входят узел синхронизации и мультивибратор обновления МВО.

Исследование лабораторного макета ОЗУ подтвердило правильность принятых в процессе проектирования технических решений. С помощью типового стенда диагностического контроля были определены области работоспособности устройства при использовании тестов «шахматный код», «бегущий ноль», «бегущая единица», «псевдослучайный».

При комнатной температуре информация сохранялась в макете даже тогда, когда период обновления увеличивался до 30 *мс*. Максимальное время считывания для микросхем К527РУ1 составляло 400 *нс*. Экономичность макета оказалась несколько лучше ожидаемой по расчетам.

Характеристики ОЗУ можно сравнить с основными показателями аналогичных устройств, построенных на микросхемах 185РУ1 и 1ЯМ881. Время обращения для ОЗУ на микросхемах 185РУ1 составляет 1 *мкс*, т. е. такое же, как у описанного устройства, удельная потребляемая мощность—1,8 *мВт/бит*. ОЗУ с применением 188-й серии при времени обращения 1 *мкс* обладает вдвое худшей экономичностью — удельная потребляемая мощность составляет 2,4 *мВт/бит*.

Азбиль А. З., Кляшторный М. Ю., Мандриков В. И., Смирнов В. В.

К ВОПРОСУ О ПРИМЕНЕНИИ ИМС СЕРИЙ К519 И К527 В СИСТЕМАХ СБОРА И ОБРАБОТКИ ДАННЫХ

Описываемый блок памяти (БП) входит в состав системы сбора и обработки информации и использует в качестве запоминающих элементов ИМС серии К519 и К527.

К БП предъявляются следующие требования.

1. Функционально он должен быть разбит на запоминающее устройство программ (ЗУП) и запоминающее устройство операндов (ЗУО), что позволяет процессору, входящему в состав данной системы, совмещать большинство выполняемых операций путем одновременного обращения к обеим областям памяти и тем самым повысить свое быстродействие.

2. ЗУП и часть ЗУО, необходимая для хранения констант, должны обеспечивать запоминание информации при отключении питания.

3. Неустойчивость алгоритмов и тарировочных характеристик датчиков требует корректировки программ в ЗУП и констант в ЗУО.

4. Соотношение емкостей ЗУП и ЗУО, а также областей для хранения констант и переменных в ЗУО должно легко варьироваться в зависимости от требований, предъявляемых различными системами.

5. Время обращения не должно превышать 1,5 *мкс*.

6. Максимальный объем ЗУО—16 *кбит* и ЗУП—8 *кбит* 16-разрядных слов.

Страничная организация во многом помогла разработчикам создать блок, удовлетворяющий поставленным выше требованиям. По способу хранения информации различаются страницы ОЗУ, накопительными элементами которой являются ИМС К527РУ1, и страницы ППЗУ, использующие в качестве запоминающих элементов ИМС К519РЕ2. В свою очередь, страницы разбиты на строки по 64 слова в каждой.

Специфика требований, предъявляемых к блоку, предопределила состав ЗУП из страниц ППЗУ и ЗУО из страниц ППЗУ и ОЗУ.

Разделение памяти на две самостоятельные области (ЗУП и ЗУО) требует для них отдельных устройств управления, каждое из которых может оперировать с полными объемами памяти (8 *кбит* для ЗУП и 16 *кбит* для ЗУО). Это достигается путем специальной организации адресных дешифраторов и позволяет изменять соотношение объемов ЗУП и ЗУО. Изменение соотношения массивов констант и переменных в ЗУО реализуется взаимозаменяемостью страниц ОЗУ и ППЗУ.

Код адреса состоит из трех информационных модулей, первый из которых определяет номер страницы, второй — номер строки, а третий — номер слова в строке. Информационный модуль номера страницы ЗУО подвергается корректировке путем смещения на постоянную величину, равную емкости ЗУП.

Применение в качестве накопителя ИМС серии К519 и К527, а также перечисленные ранее требования привели к ряду схемно-конструктивных особенностей, рассматриваемых ниже.

1. На странице ОЗУ размещается 1024 шестнадцатиразрядных слова. Она включает в себя: а) накопитель; б) вторую ступень дешифратора кода адреса; в) схемы управления цепями источников питания матрицы и обрамления; г) усилители выходного сигнала.

2. Формирователь сигнала «запись/считывание» для страниц ОЗУ, входящий в состав устройства управления ЗУО, блокирует работу со страницей на время переходного процесса, обеспечивая в то же время максимальное быстродействие. Формирователь запускается по сигналу из процессора одновременно с приходом кода адреса, а накопители включаются в работу с задержкой. Схема работает на три такта, причем первый и второй обеспечивают задержку включения накопителей на время дешифрации кода адреса, включения схем управления цепями источников питания и переходных процессов внутри микросхемы К527РУ1, а третий такт формирует требуемый сигнал.

3. Режим хранения при импульсном питании матрицы ИМС К527РУ1 обеспечивается входящим в устройство управления генератором прямоугольных импульсов, который формирует сигналы длительностью 2 *мкс* и частотой 2 *КГи*. Генератор может быть нагружен на 4096 микросхем К527РУ1, находящихся в режиме хранения.

4. С целью сокращения количества связей между устройством управления и накопителями вторая ступень дешифратора кода адреса расположена на странице.

5. Использование в качестве усилителей числовых шин ИМС 1ЛИ091 позволило обеспечить работу с полным объемом, равным 16 *кбит* 16-разрядных слов, уложиться в заданное быстродействие и при этом получить минимальные размеры устройства управления.

6. Ввод информации, последующий контроль и корректировка на странице ППЗУ выполняются в стационарных условиях, а при работе на движущихся объектах требуется только режим «считывание». Это позволяет:

а) вынести часть схем управления за пределы страницы ППЗУ и блока памяти, оставив только оборудование, необходимое для реализации режима «считывание» и подключения к стационарному устройству ввода информации;

б) добиться емкости страницы ППЗУ в 512 16-разрядных слов.

7. В состав страницы входят:

— накопитель на 512 16-разрядных слов;

— три адресных дешифратора с соответствующими преобразователями уровней. Из них вторая ступень дешифратора выбора кристалла и дешифратор входов дешифраторных ключей обеспечивают работу только в режиме «считывание», а дешифратор входов матрицы со своим преобразователем уровня используются во всех режимах;

— разрядные усилители считывания с коммутатором числовых шин либо на выход ЗУП, либо на выход ЗУО в зависимости от принадлежности к конкретной области памяти, которая фиксируется с помощью ключа.

8. Существенное упрощение схем преобразования уровней сигналов ППЗУ достигается введением коммутации общего вывода микросхем накопителей К519РЕ2. В зависимости от режима работы на общий вывод подаются:

а) нулевой потенциал в режиме «стирание»;

б) +45 *В* в режиме «запись»;

в) +6,3 *В* в режиме «считывание».

9. За счет использования транзисторной матрицы К1НТ251 преобразователь уровня входов матрицы может работать как в режиме «считывание» при подаче на коллектор выходного транзистора +6,3 *В*, так и в режимах «стирание» и «запись» при подаче + 45 *В*.

10. Существенная экономия количества выводов страницы ППЗУ достигается при блокировке усилителей считывания и коммутатора числовых шин в режиме «запись» путем создания эквипотенциального уровня +45 *В* на всех питающих и выходных выводах микросхем, входящих в эти устройства.

В заключение приводятся основные технические характеристики блока памяти.

Полный объем памяти, *кбит*	— 6
Длина слова	— 16 разрядов
Емкость ЗУП, *кбит*	— 2
Емкость ЗУО, *кбит*	— 4
Время непрерывной работы, *ч*	— 20
Средняя частота обращения к каждому адресу, *кГц*	— 2
Время обращения, *мкс*	— 1,5
Потребляемая мощность, *Вт*	— 50
Габариты, *мм*	—124×190×319
Масса, *кг*	— 8

Гербек Э. Э.

ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО В КРЕЙТ-КОНТРОЛЛЕРЕ «КАМАК»

В последнее время в качестве основы для построения систем автоматизации экспериментов (или технологических процессов) весьма широко применяется международный стандарт «Камак». Этот стандарт предоставляет пользователю большие удобства: простоту построения из унифицированных блоков (модулей) самых разнообразных установок с подключением их к ЭВМ как для приема информации от этих установок, так и для управления их работой; легкость модернизации установок и объединения нескольких установок одной ЭВМ; независимость полученной системы от типа применяемой ЭВМ и т. п.

Однако в таких системах (впрочем, как и во многих других) довольно велик непроизводительный расход машинного времени, связанный с управлением работой системы, и он тем больше, чем больше установок подключено к одной ЭВМ. Вызвано это тем, что, как правило, программы работы установок хранятся в памяти машины и система по каждому, даже незначительному, поводу требует прерывания ЭВМ.

Непроизводительный расход машинного времени можно сократить, если ввести в состав каждой установки ЗУ, предназначенное для хранения программы ее работы, и передать управляющему модулю (крейт-контроллеру) все функции управления, за исключением тех, где действительно необходимо вмешательство ЭВМ.

Как показывает опыт, объем такого ЗУ в среднем небольшой и к нему предъявляются следующие требования:

— возможность быстрой смены информации, когда в этом возникает необходимость;

— возможность длительного хранения информации при отключенном питании;

— время считывания — не более продолжительности «Камак»-цикла, т. е. 1 *мкс*;

— малый физический объем.

Микросхемы серии К519 удовлетворяют всем этим условиям, время записи также невелико, если учесть, что запись выполняет человек и скорость ее не превышает одного слова в секунду.

В разработанном нами программируемом крейт-контроллере «Камак» используется полупостоянное ЗУ емкостью 32 16-разрядных слова, собранное на 4-х микросхемах К519РЕ1А, управляемых через согласователи уровней от микросхем

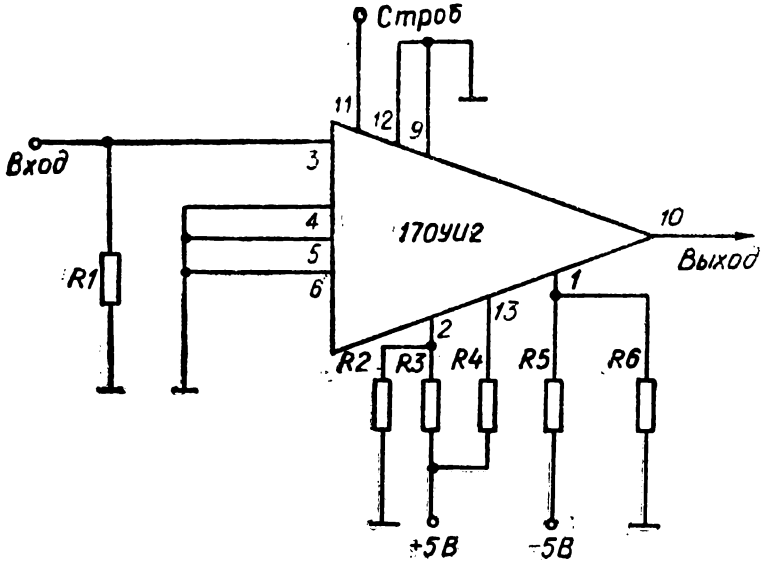

Строб
Вход
11
12
9
3
4
5
6
170УИ2
10
Выход
R1
1
13
2
R2
R3
R4
R5
R6
+5В
-5В

Рис. 1

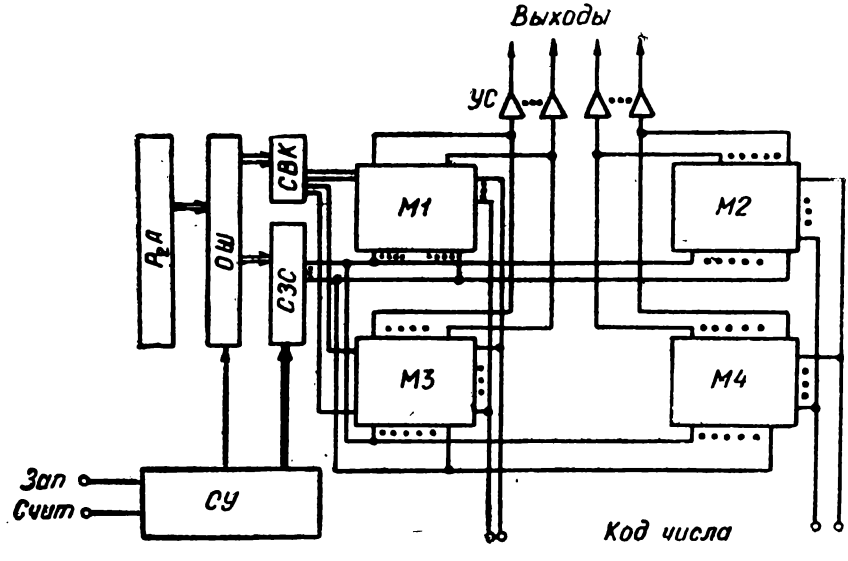

Выходы
УС
СВК
М1
М2
РгА
ОШ
СЗС
М3
М4
Зап
Счит
СУ
Код числа

Рис. 2

серии 155. В согласователях применены кремниевые транзисторы КТ315И и КТ203А. Схемы их подобны уже известным схемам (см. литературу) и отличаются лишь номиналами резисторов. В качестве усилителей используются микросхемы 170УИ2. Схема включения усилителя приведена на рис. 1.

Функциональная схема ЗУ показана на рис. 2, где обозначено: М1÷М4 — микросхемы К519РЕ1; УС — усилители считывания; СВК — схемы выбора кристалла; СЗС — схемы стирания-записи-считывания; СУ — схемы управления; ДШ — адресный дешифратор; РгА — адресный регистр.

ЗУ работает в 2-х режимах — запись и считывание.

Режим считывания — основной режим. В исходном состоянии включены напряжения питания и смещения считывания, и при получении команды «считать» СУ вырабатывают только один импульс длительностью 0,4 *мкс*, который подается на входы микросхем М1÷М4.

В режиме записи СУ вначале снимает напряжения питания и смещения считывания, затем вырабатывается импульс стирания (5*мс*).. После этого устанавливаются напряжения смещения и питания записи, вырабатывается импульс записи, наконец, снимаются напряжения питания записи и восстанавливаются напряжения питания считывания.

Ячейки в ЗУ расположены так, как показано в таблице, что позволило при записи в ячейку избежать стирания информации в старшей по номеру ячейке. При записи в ячейку с четным номером стирается и следующая за ней по номеру ячейка, при записи в нечетную ячейку стирание блокируется. Любые исправления программы поэтому нужно делать сразу в 2-х ячейках, начиная с четной. Попытка записать информацию сразу в нечетную ячейку или ограничиться только записью в четную блокируется контроллером с оповещением об этом оператора.

№ ячейки	Корпус	№ входа
0	М1, М2	1
1	М3, М4	1
2	М1, М2	2
3	М3, М4	2
4	М1, М2	3
5	М3, М4	3
.	.	
.	.	
.	.	

Эксперименты на макете показали устойчивую работу запоминающего устройства.

ЛИТЕРАТУРА

Микросхемы ППЗУ с электрической сменой информации К519РЕ1, проспект. М., ЦНИИ «Электроника», 1976.

Юрко В. В., Накцев О. М., Милых М. М.,
Рева В. Л., Дубовик Ю. В.

ПРИМЕНЕНИЕ СХЕМ ПАМЯТИ СЕРИЙ К519, К527 В ЦИФРОВЫХ ФИЛЬТРАХ

Применение больших интегральных схем памяти в цифровых фильтрах позволяет не только эффективно организовать хранение информации, но и по-новому реализовать вычислительный процесс. Несомненным преимуществом использования перепрограммируемых постоянных запоминающих устройств (ППЗУ) для хранения коэффициентов цифрового фильтра является легкость перестройки его частотной характеристики, а также возможность создания унифицированных модулей, наиболее удобных в условиях серийного производства. Использование пропраммируемых цифровых фильтров совместно с управляющей ЭВМ, с помощью которой осуществляется перестройка фильтра путем перезаписи информации в ППЗУ, позволяет расширить возможности систем обработки данных, повысить их гибкость и универсальность.

Микросхемы памяти серий К519 и К527 использованы в нерекурсивных и рекурсивных цифровых фильтрах, а также в блоках сопряжения фильтров с ЭВМ. В нерекурсивном фильтре с параллельно-последовательной организацией и малым быстродействием ППЗУ на микросхемах К519РЕ1 применено для хранения коэффициентов импульсной переходной характеристики. В качестве линии задержки используется блок ОЗУ на микросхемах К527РУ1, что по сравнению с МОП регистрами сдвига более удобно при изменении длины импульсной характеристики фильтра.

В фильтре, реализуемом по методу частотной выборки, резонаторы которого описываются двухэтапным алгоритмом,— формирование скользящего окна, умножение на комплексную экспоненту с последующим накоплением, — в ППЗУ хранятся действительные и мнимые части выборок комплексных экспонент, частота настройки резонаторов изменяется перепрограммированием ППЗУ.

Рекурсивный фильтр второго порядка может быть описан четырьмя коэффициентами. При поразрядной записи этих коэффициентов в строку микросхемы К519РЕ1 на одном элементе реализуется память 4-х 16-разрядных коэффициентов. Шесть микросхем К527РУ1 служат для запоминания входных и выходных выборок. Арифметические операции выполняются с помощью поточных умножителей и последовательных сумматоров.

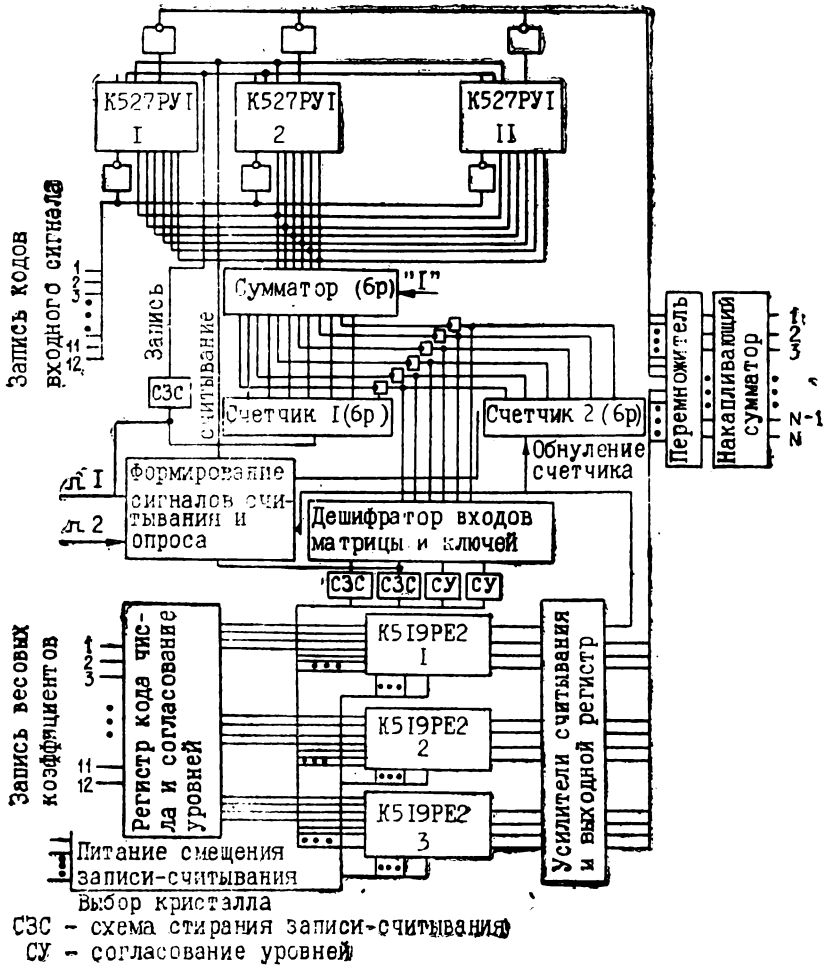


Рис. 1

В другом варианте построения звена второго порядка в ППЗУ записаны вычисленные на различных комбинациях разрядов входных и выходных выборок промежуточные значения правой части разностного уравнения фильтра. Таких комбинаций 32, поэтому для реализации памяти необходим блок на микросхемах К519РЕ1 объемом $2\times16\times m$, где m — число разрядов выборок.

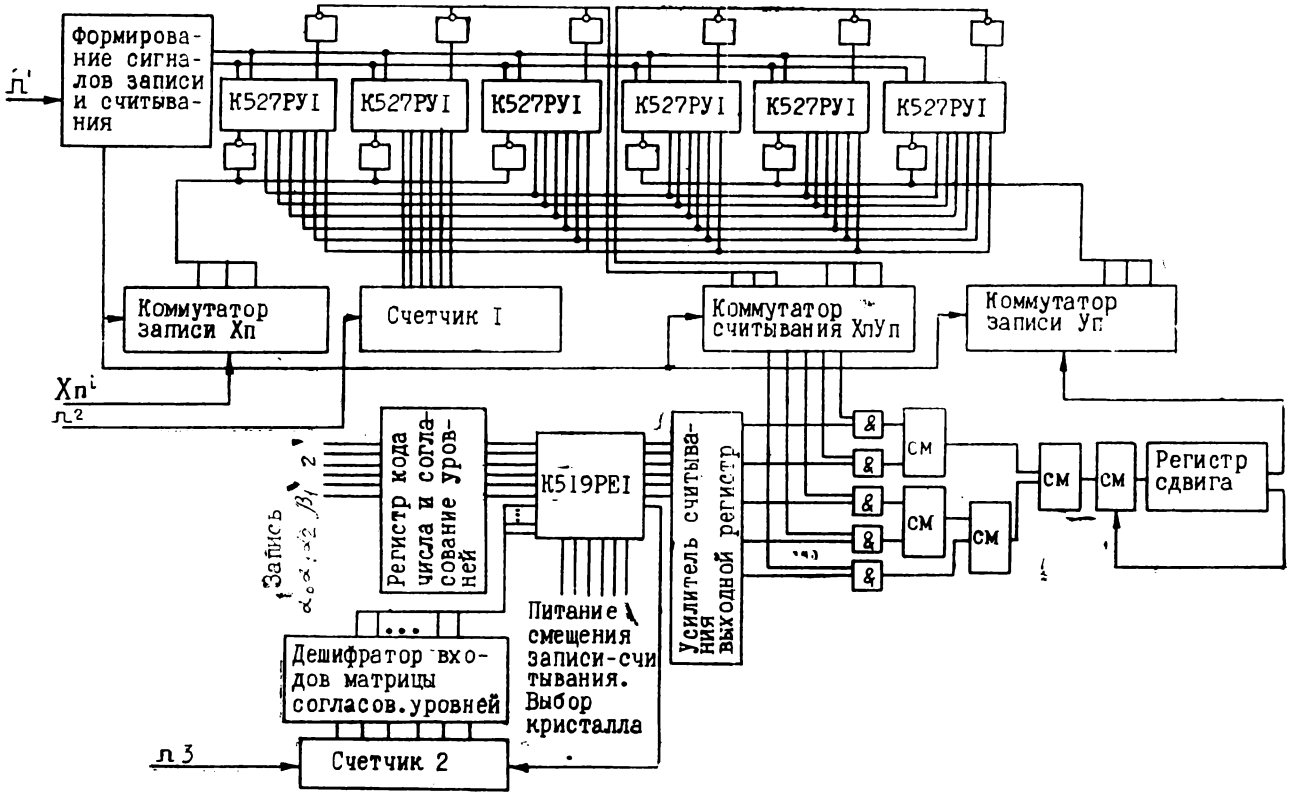

Формирование сигналов записи и считывания
К527РУI
К527РУI
К527РУI
К527РУI
К527РУI
К527РУI
Коммутатор записи Хп
Счетчик I
Коммутатор считывания ХлУп
Коммутатор записи Уп
Хп
Регистр кода числа и согласования уровней
К519РЕI
Усилитель считывания выходной регистр
&
&
&
&
&
СМ
СМ
СМ
СМ
СМ
Регистр сдвига
Запись
Дешифратор входов матрицы согласов. уровней
Питание смещения записи-считывания. Выбор кристалла
Счетчик 2

Рис. 2

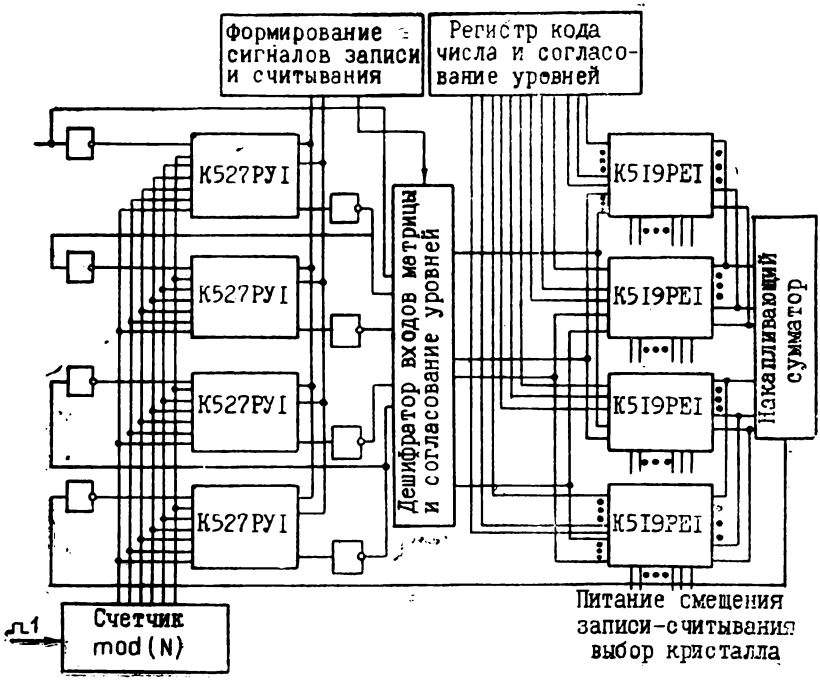


Рис. 3

На рисунках приведены структурные схемы: нерекурсивного фильтра (рис. 1), звена второго порядка — первый и второй варианты (рис. 2 и 3).

Годлевский П. Г., Гомза О. Б., Кац Б. М., Олифер Б. М.

ПРИМЕНЕНИЕ СХЕМ ПАМЯТИ В МЕДИЦИНСКОЙ АППАРАТУРЕ

В докладе рассмотрены вопросы применения схем памяти серий К519 и К527 в медицинских осциллоскопах с цифровой памятью (ОМП). Особенность медико-биологических исследований состоит в необходимости наблюдения и измерения параметров слабо детерминированных низкочастотных сигналов на протяжении длительного времени. Применение регистраторов приводит к большому расходу бумаги для записи избыточной информации, а обычные осциллоскопы не позволяют

сохранить информацию на время, большее, чем послесвечение ЭЛТ (5—20 *С*), чего явно недостаточно. В этих условиях существенными преимуществами обладают ОМП.

Центральным узлом ОМП является ОЗУ. В различных моделях ОМП емкость ОЗУ составляет 512—1024 восьмиразрядных слова на канал, количество каналов 1—4.

В модели двухканального ОМП, разработанной нами, ОЗУ построено на восьми МОП БИС типа К505РУ2, имеющих организацию 1024×1. Микросхемы серии К527 оказались очень удобными для построения вспомогательных ЗУ малой емкости. В ОМП такое ЗУ емкостью 64×8 используется в качестве буфера для обмена информации с основным ЗУ. Применение буферного ЗУ существенно облегчило выполнение синхронизации блоков благодаря уменьшению в 4 раза количества обращений к ОЗУ, позволило более продуктивно использовать объем ОЗУ и почти в 2 раза уменьшить аппаратурные затраты программных и адресных устройств за счет их упрощения.

Узкоспециализированные устройства типа ОМП работают по нескольким фиксированным программам, которые в настоящее время формируются аппаратурно. ПЗУ емкостью 512—4096 *бит* с организацией от 64×8 до 512×8, в частности ИМС серии К519, позволяет значительно снизить затраты программных устройств за счет микропрограммного управления.

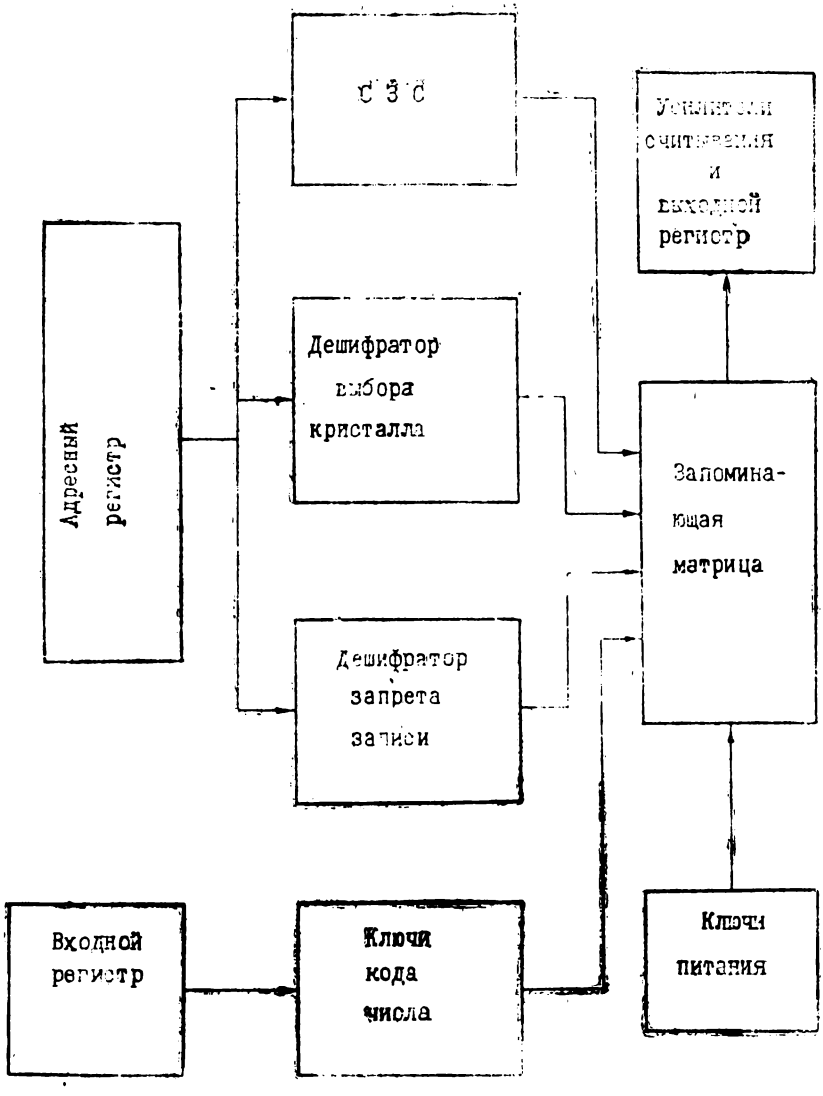
В докладе рассмотрены также вопросы согласования схем памяти с ТТЛ ИМС серий К155, К158 и др., повышения экономичности за счет снижения стоимости и потребляемой мощности. Выполнение этих требований позволит реализовать для нужд медицины многие технические решения и существенно расширить область применения схем памяти.

Бадиков В. П.

ОРГАНИЗАЦИЯ БЛОКА ПАМЯТИ С ЭЛЕКТРИЧЕСКОЙ ПЕРЕЗАПИСЬЮ ИНФОРМАЦИИ НА МИКРОСХЕМАХ К519РЕ1

Объем ЗУ составляет 256 девятнадцатиразрядных слов. Перепрограммирование осуществляется с отдельного пульта записи программы.

Конструктивно электрическая схема собрана на 4-слойных печатных платах, причем внутренние два слоя представляют собой общий провод. Размер платы 150×270 *мм*.



Для схем управления и усилителей считывания применяются микросхемы серии 133, а также транзисторные матрицы 1НТ251 и КТС622А.

Блок-схема устройства приведена на рисунке.

Запоминающая матрица содержит 48 микросхем типа К519РЕ1, размещенных на одной плате. На ней расположены

и усилители считывания. Схема стирания, записи, считывания (СЗС) выполнена на 20 корпусах микросхем серии 133 и 96 резисторах. Большой эффект в уменьшении количества элементов дало применение в СЗС микросхемы 133ИД1. Это — дешифратор с высоковольтными транзисторными ключами на выходе, который предназначен для зажигания вакуумных цифровых индикаторов. В схемах СЗС используется восемь выходов от каждого дешифратора. Для организации схем деинформации оказалось достаточно 6 микросхем типа 133ИД1, которые используются для переключения как положительного напряжения (+48 *В*), так и отрицательных напряжений (—48 и —9 *В*).

Дешифратор выбора кристалла при считывании аналогичен схеме СЗС. В нем используется две микросхемы 133ИД1.

Усилители считывания собраны по схеме на двух транзисторах и двух резисторах. Запись производится непосредственно в выходной регистр.

Применение микросхем типа 133ИД1 позволило сократить количество элементов для схем управления, но лишило возможности одновременного стирания всех слов в матрице памяти. При перезаписи информации в память слова должны стираться поочередно или группами по 16 слов.

Балтушевич Б. С.

НЕКОТОРЫЕ ВОПРОСЫ СТРУКТУРНОЙ ОРГАНИЗАЦИИ ДОЛГОВРЕМЕННОГО ЗУ С ЭЛЕКТРИЧЕСКОЙ СМЕНОЙ ИНФОРМАЦИИ

Рассматриваются вопросы структурной организации и особенности построения схем электронного обрамления перепрограммируемого ДЗУ, выполненного на интегральных микросхемах типа К519РЕ2 и имеющего следующие технические характеристики:

объем памяти	— 128 30-разрядных слов
период обращения, *мкс*	— 2
время считывания, *нс*	—⩽ 300
время хранения информации при отключении питания, *ч*	— 2000
мощность, потребляемая модулями памяти в режиме считывания, *Вт*	— ⩽ 1

Конструктивно ДЗУ выполнено в виде кассеты, состоящей из двух многослойных печатных плат. На одной расположены модули памяти и усилители считывания, на другой плате — схемы электронного обрамления ДЗУ.

Рассматриваемое ДЗУ отличается хорошими эксплуатационными характеристиками.

Сафонов В. Д.

ПРИМЕНЕНИЕ ЭЛЕКТРИЧЕСКИ ПЕРЕПРОГРАММИРУЕМЫХ МИКРОСХЕМ ПЗУ СЕРИИ К519 В МИКРОПРОГРАММНЫХ УСТРОЙСТВАХ

Измерительное оборудование для функционального контроля микросхем требует быстрой смены управляющих программ для оптимального выбора состава и последовательности операций (запись, стирание, считывание, измерение статических параметров и т. д.) и записи кодовых комбинаций (лог. «0», лог. «1», «шахматная доска», «псевдослучайный код», «последовательное заполнение», «бегущая единица» и т. д.).

Для этого применяется микропрограммное устройство, в котором для хранения программ, используются микросхемы ЭППЗУ К519РЕ2А. Устройство дает возможность быстрой смены информации и длительного времени хранения ее. На рис. 1 приведена блок-схема этого устройства.

Блок ЗУ программируется внешним программным устройством, при этом входы матрицы выведены на разъем, к которому подключается программатор, а в режиме считывания в разъем вставляется заглушка, соединяющая входы матрицы с согласователями считывания.

Программирование информации выполняется оператором с помощью клавишного регистра. Записанная информация проверяется сравнением данных, взятых из таблицы по словам, с индикаторами из буферного регистра (БР). Поочередно перебирают адреса в регистре адреса микрокоманд (АМК) и выполняют проверку. В случае несовпадения записанной и считанной информации стирают это слово и записывают информацию повторно.

Управляющее слово состоит из 16 разрядов. Разряды с 1 по 7 используются для занесения адреса следующей микрокоманды, остальные 9 разрядов — для задания режимов и кода для измерительного устройства.

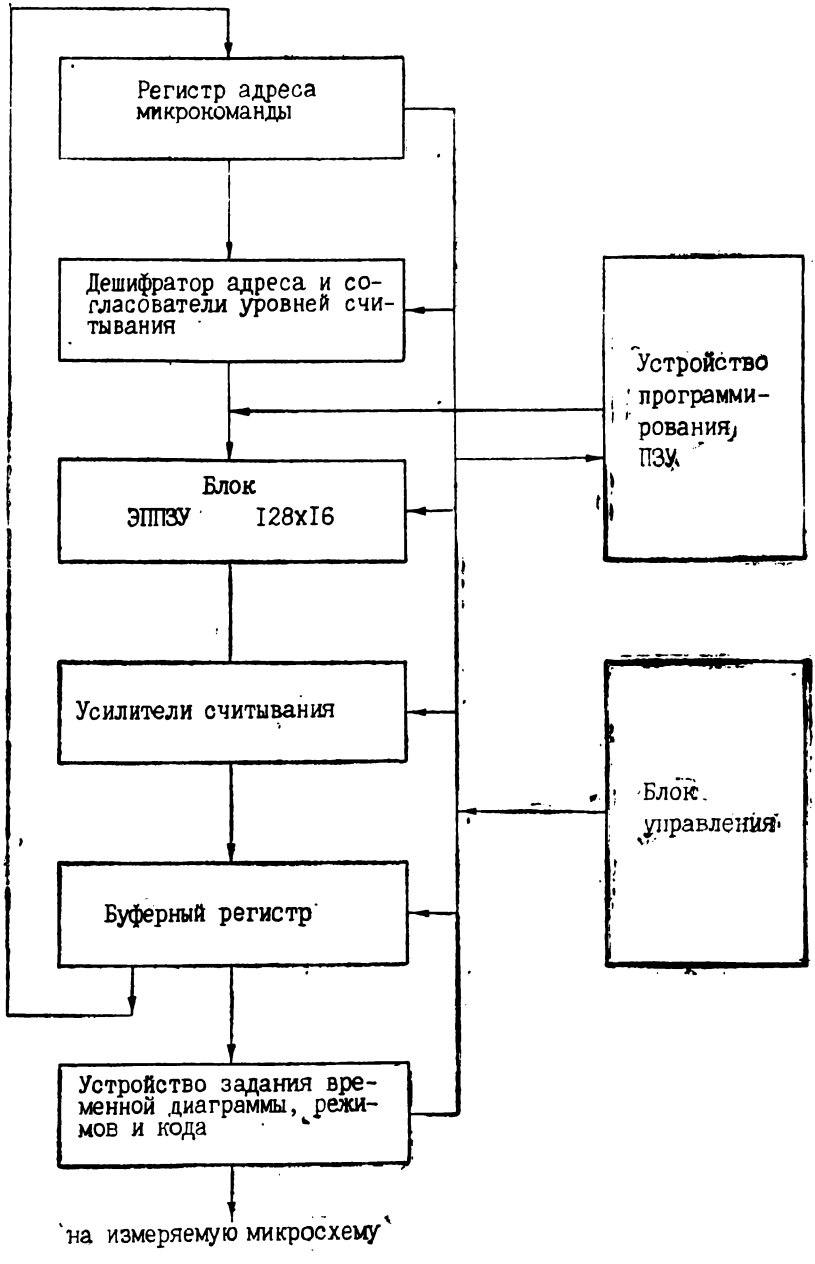

Регистр адреса микрокоманды
Дешифратор адреса и согласователи уровней считывания
Устройство программирования ПЗУ
Блок ЭППЗУ 128x16
Усилители считывания
Блок управления
Буферный регистр
Устройство задания временной диаграммы, режимов и кода
на измеряемую микросхему

Рис. 1

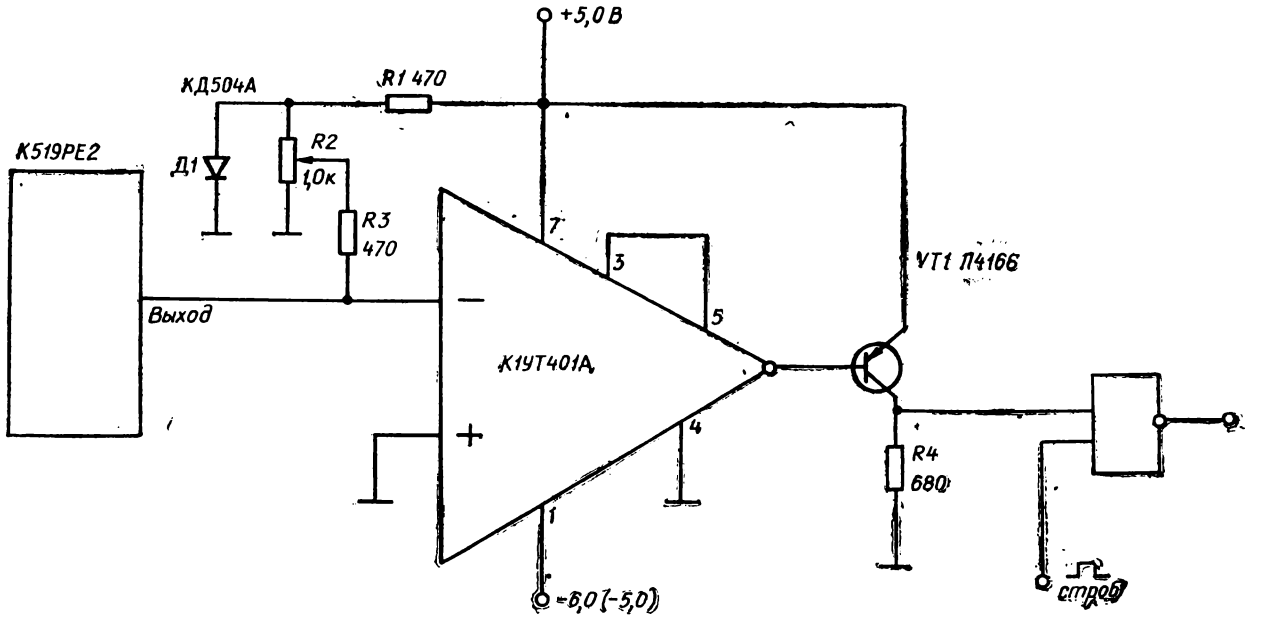

+5,0 В
КД504А
R1 470
К519РЕ2
Д1
R2
1,0к
R3
470
Выход
7
3
5
4
1
К1УТ401А
VT1 П416Б
R4
680
-6,0 (-5,0)
строб

Рис. 2

Устройство управления задает необходимые режимы для блоков микропрограммного устройства. При запуске устройства из регистра АМК адрес слова поступает в дешифратор и слово считывается по этому адресу.

С выхода блока ЭППЗУ информация усиливается усилителем считывания и по стробу заносится в буферный регистр, а из него выводится для управления в измерительное устройство (ИУ). После окончания операции в ИУ сигнал из него поступает в БУ, переписывается следующий адрес в регистр АМК и операции повторяются до появления в одном из разрядов слова сигнала «стоп».

Устройство выполнено на микросхемах серии 155 и К519РЕ2А. На рис. 2 приведена схема одного из 16 усилителей считывания. Для питания усилителя считывания используются источники, которые имеются в блоке (+5 и —6 для ПЗУ). Усилитель считывания выполнен на микросхеме К1УТ401А в режиме компаратора уровня. Уровень компарирования устанавливается резистором R2 в пределах $40 \div 50$ *мВ*. Для улучшения частотных свойств усилителя из него исключен выходной повторитель и добавлен усилитель на транзисторе П416Б, что позволило получить время считывания $1{,}5 \div 3$ *мкс* и прямое согласование с ТТЛ схемами. Для построения согласователей уровня используются схемы включения, приведенные в [1—3].

Применение перепрограммируемого микропрограммного устройства позволило значительно облегчить работу с измерительным устройством, ускорить функциональный анализ и разработку программы для контроля микросхем. Кроме этого, введение микропрограммного управления повышает производительность труда при массовом контроле микросхем и позволяет просто выполнять функциональный анализ микросхем на производственном оборудовании.

ЛИТЕРАТУРА

1. Микросхемы ППЗУ с электрической сменой информации К519РЕ2. М., ЦНИИ «Электроника», 1976.
2. Применение полевых транзисторов и гибридных интегральных микросхем на их основе в радиоэлектронной аппаратуре, вып. 1(45). М., ЦНИИ «Электроника», 1975.
3. Интегральные схемы в дискретной технике. Рига, «Зинатне», 1973.

Котровский Ю. М.

ОПЫТ РАЗРАБОТКИ ЭЛЕКТРОНИКИ ОБРАМЛЕНИЯ ПОЛУПОСТОЯННОГО ЗАПОМИНАЮЩЕГО УСТРОЙСТВА (ППЗУ) ЕМКОСТЬЮ 256×16-РАЗРЯДНЫХ СЛОВ

Рассматривается опыт разработки электроники обрамления ППЗУ емкостью 256 16-разрядных слов на микросхемах типа К519РЕ2. Приводятся функциональные схемы ППЗУ и результаты опробования основных функциональных узлов: преобразователей уровня ПУ, усилителей считывания и формирователей записи/стирания ФЗС. Преобразователи уровня для всех цепей микросхемы К519РЕ2 (для адресных входов и цепей выбора кристалла) построены по однотипной схеме с навесными элементами. Для случаев подачи напряжения минус 6,3 и минус 9 *В* схемы ПУ отличаются лишь номиналами резисторов.

Приводится обоснование схемы ПУ и выбранной элементной базы, а также данные по компоновке ПУ и его динамическим параметрам.

Усилители считывания разработаны на интегральных транзисторных матрицах с навесными пассивными элементами.

Приводятся данные по динамическим параметрам усилителей, стабильности амплитуды выходного импульса в диапазоне температур, а также их компоновки.

Рассмотрены два типа ФЗС, построенных с использованием интегральных схем и навесных элементов.

Приводятся данные по статическим и динамическим параметрам ФЗС, измеренным в диапазоне температур, а также их компоновки.

В заключение приведены данные о дальнейшей комплексной микроминиатюризации ППЗУ на микросхемах типа К519РЕ2.

Сидоров В. М., Плеханов В. С., Вагнер И. Г.

РАБОТА ДОЛГОВРЕМЕННОГО ЗАПОМИНАЮЩЕГО УСТРОЙСТВА НА МДП-СТРУКТУРАХ В РЕЖИМЕ АНАЛОГОВОЙ ПАМЯТИ

Анализ работы микросхемы К519РЕ1, выполненной на основе МДП-структур и используемой в настоящее время для построения долговременных запоминающих устройств с элек-

трической перезаписью, показывает возможность ее использования в режиме аналоговой памяти.

С этой целью экспериментально исследованы характеристики МДП-транзисторов в качестве аналогового элемента памяти (АЭП) разомкнутого типа.

Запись аналоговой информации в данном элементе осуществляется модуляцией длительности импульса записи, поступающего на затвор МДП-транзистора относительно подложки.

Анализ полученных характеристик вход—выход АЭП показывает, что погрешность от нелинейности не превышает 3% при коэффициенте использования не более 0,8.

Характеристики АЭП можно улучшить несколькими способами.

1. Путем построения АЭП по балансной схеме, для реализации которой необходима пара МДП-транзисторов, стоящих на диагоналях матрицы. Пары транзисторов, стоящие на противоположных диагоналях, использовать при этом не удается, что снижает эффективность работы всей матрицы.

2. Путем построения АЭП по «грубо-точной схеме», в которой элемент памяти включает в себя три МДП-транзистора из разных матриц. Ячейки основной матрицы запоминают аналоговые величины с некоторой погрешностью. Ячейки второй матрицы запоминают с некоторым весовым коэффициентом нулевых уровней ячеек основной матрицы. Ячейки третьей матрицы с некоторым весовым коэффициентом запоминают разности входных аналоговых величин и величин, запомненных в ячейках основной матрицы. При одновременном считывании информации с трех матриц осуществляется алгебраическое сложение сигналов одноименных ячеек с соответствующими весовыми коэффициентами, что в конечном счете позволяет в некоторой степени компенсировать разброс нулевых уровней ячеек основной матрицы и различие наклонов их характеристик вход-выход.

3. Путем построения АЭП по схеме с отрицательной обратной связью, в которой сравниваются входная величина и величина, запомненная в ячейке памяти, и соответствующая коррекция запомненной величины, что позволяет значительно повысить точность работы АЭП.

Рассмотренные АЭП могут быть использованы для построения блоков запаздывания, функциональных преобразователей, регистраторов временных сигналов с ограниченным спектром и ряда других устройств.

Понурьев В. С., Зозуля П. И.,
Малоок В. В., Славицкий А. А.

ПЕРСПЕКТИВЫ ПРИМЕНЕНИЯ МИКРОСХЕМ СЕРИИ К519РЕ1 В УСТРОЙСТВАХ ТЕЛЕМЕХАНИКИ

К аппаратуре контролируемых пунктов (КП) устройств телемеханики для газопроводов ввиду специфичности ее работы предъявляется ряд требований, основные из которых: повышенная надежность функционирования (ввиду удаленности объектов по трассе газопровода от точек обслуживания), малые габаритные размеры, позволяющие помещать ее в миниатюрные обогреваемые шкафы; сохранение накопленной информации при отключении сетевого напряжения.

Кроме того, при опросе информации от датчиков телеизмерений интегральных значений параметров (ТИИ) возникает другая проблема. Длительность интегрального измерения параметра может достигать 24-х часов, но при этом установка запоминающего устройства большой емкости на пункте управления (ПУ) нецелесообразна в виду занятости канала связи ПУ-КП.

Для устранения этого противоречия предложен вариант исполнения аппаратуры телемеханики, в котором общая память интегрального телеизмерения параметров разбивается на две части. Первая часть накопительной памяти устанавливается на КП; на нее непрерывно поступает информация от датчика. Через каждый час накопленная информация с памяти КП передается по каналу связи в запоминающее устройство (ЗУ) аппаратуры пункта управления, построенное на полупроводниковых интегральных микросхемах серии К519РЕ1. ЗУ применяется для хранения двух чисел. Первое представляет собой постоянный коэффициент. Второе число — сумма, образуемая путем добавления поступающей от датчиков информации, умноженной на масштабный коэффициент, который служит для получения результатов в именованных единицах.

К причинам, тормозящим, на наш взгляд, более широкое внедрение микросхем этой серии в различных устройствах телемеханики, следует отнести:

а) большое количество источников питания;

б) ограниченный ресурс микросхем по количеству циклов стирание—запись-10^4.

Андреев В. П., Белов П. В.,
Антонов М. И.

ИСПОЛЬЗОВАНИЕ МИКРОСХЕМ ТИПА К519РЕ1 В ПЗУ С ЭЛЕКТРИЧЕСКОЙ СМЕНОЙ ИНФОРМАЦИИ

В настоящее время важное значение при проектировании вычислительных устройств приобретает создание блоков постоянных запоминающих устройств, позволяющих изменять программу электрическим способом.

Наиболее перспективным направлением создания ПЗУ с электрической перезаписью являются ПЗУ, построенные на МДП-транзисторах.

Экспериментально был настроен и испытан макет ЭП/ППЗУ объемом 32×32 разрядных слова, выполненный на микросхемах К519РЕ1. Параметры макета: время обращения — 600 *нс*; время выборки — 330 *нс*.

Мощность потребления блока считывания в динамическом режиме с учетом схем обрамления составляет 8,0 *Вт*. Макет работоспособен в диапазоне температур от —50 до +80°С и при изменении напряжений питания на ±10%.

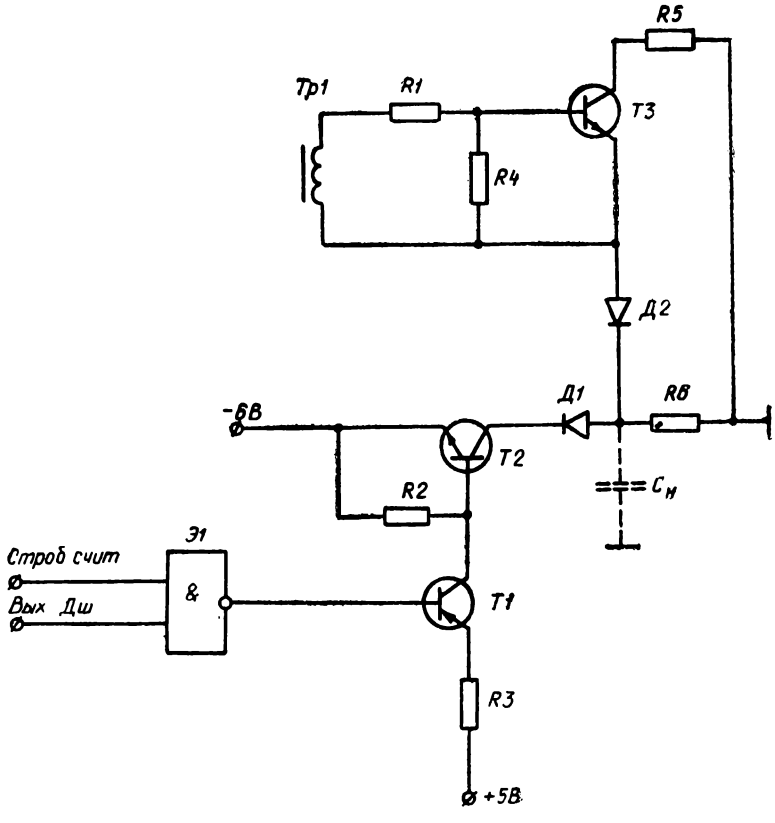
Разработанный макет ПЗУ с электрической сменой информации позволяет записывать новую информацию без отстыковки элементов памяти от согласователей считывания, что повышает надежность записи и хранения информации. Этим самым исключается возможность ее изменения от воздействия внешних факторов при перекоммутации.

Особенность экспериментального ЗУ—применение в блоке считывания схемы согласования, приведенной на рисунке. Схема работает следующим образом. При подаче строба на логический элемент Э1 на входе появляется потенциал, соответствующий лог. «0». Транзистор Т1 открывается и через него течет ток, который задается сопротивлением в цепи эмиттера *R*3. Открывается транзистор Т2, который собран по схеме с общим эмиттером и работает в ключевом режиме, переключая потенциал считывания на *R*6, к которому подсоединен адресный вход.

При разработке ставились условия получения минимального времени выключения согласователя и минимальной длительности заднего фронта импульса. Выполнение первого условия в значительной степени обеспечено включением *R*3 в эмиттерную цепь транзистора Т1, что дало возможность свести к минимуму время, необходимое для выхода транзистора из насыщения при работе его в ключевом режиме. Длительность заднего фронта в основном обусловлена временем раз-

ряда емкости нагрузки $C_н$. Функцию разряда емкости выполняет ключ, собранный на транзисторе Т3 с трансформаторным запуском по базе.

Транзистор Т3 открывается после окончания импульса считывания на время, обеспечивающее полный разряд емкости $C_н$. Заряд же емкости осуществляется через малое сопротивление открытого транзистора Т2 и диода Д1.



Длительность переднего фронта импульса достаточно мала, так как на базу Т2 приходит импульс тока с фронтом включения приблизительно равным фронту переключения логического элемента Э1. Причем этот ток достаточно большой, что обеспечивает быстрый заряд емкостей переходов транзистора Т2 и его насыщение. Открытый транзистор Т2 глубоко насыщен.

Транзистор Т2 выходит из насыщения очень быстро, так как фронт выключения импульса тока также примерно равен фронту перехода логического элемента из состояния лог. «0» в состояние лог. «1», а ток коллектора за счет открывающегося транзистора Т3 резко возрастает.

Применение трансформатора позволило получить быстрое закрывание транзистора разряда емкости за счет выброса обратной полярности, появляющегося по заднему фронту передаваемого импульса. Импульс разряда емкости может быть очень мал по длительности.

Сопротивление в коллекторной цепи транзистора Т3 выбирается из условия $I_к < I_{к.доп}$. Эмиттер Т3 через диоды подключен к выходам всех согласователей считывания.

Разработанная схема согласования уровней считывания позволяет:

1) применять в качестве нагрузки резисторы больших номиналов (практически $\leqslant 50$ *кОм*);

2) резко сократить потребление по источнику сигнала считывания;

3) получить импульсы считывания с хорошими фронтами.

На базе разработанной схемы согласования можно строить блоки ПЗУ с электрической сменой информации с частотой обращения 1 *мГц* и объемом памяти порядка 2—4 *кбит*, конструктивно выполненные в виде законченных модулей.

Применение в качестве запоминающего элемента микросхемы К519РЕ2 дает возможность значительно уменьшить габариты блока считывания ПЗУ с небольшой потерей в быстродействии.

ЛИТЕРАТУРА

Яковлев А. С. Обзоры по электронной технике, вып. 11(54). ЦНИИ «Электроника», 1972.

**Давидовский О. В., Ковалев В. И.,
Кудрявцев В. П.**

ПОЛУПОСТОЯННОЕ ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО (ППЗУ) НА МИКРОСХЕМАХ К519РЕ2

Наиболее важное принципиальное преимущество ППЗУ — возможность быстрой смены информации. Однако это преимущество практически не удается полностью реализовать вследствие некоторых особенностей ИМС К519РЕ2. Режим записи, а равно и перезаписи информации в этих микросхемах предваряется режимом стирания, причем, стирается не одно слово, а вся строка в каждой микросхеме.

Чем больше коэффициент объединения микросхем по одноименным адресным входам, тем больший объем информации необходимо запоминать на промежуточном буферном ЗУ. При построении ППЗУ с периодической регенерацией информации или с оперативной записью это значительно усложняет устройство и увеличивает его физический объем.

В докладе рассматривается возможность построения ППЗУ, которое может использоваться либо как чистое ПЗУ со сменой информации на специальном технологическом оборудовании, либо в комплекте с устройством перезаписи как ППЗУ с периодической регенерацией и оперативной записью информации.

МИКРОСХЕМЫ СЕРИЙ К519 И К527 В ЗАПОМИНАЮЩИХ УСТРОЙСТВАХ ВЫЧИСЛИТЕЛЬНОЙ ТЕХНИКИ И АВТОМАТИКИ

(тезисы докладов семинара «Применение схем памяти»)

Редактор *Г. Д. Волошин*
Технический редактор *Т. Г. Романенко*
Корректор *Э. М. Ерюжева*

09377. Сдано в набор 10/I-1977 г. Подписано к печати 18/IV-1977 г.
Формат 60×90/16. 5,5 физ. п. л. 5,25 уч.-изд. л.
Тираж 5000. Заказ 26. Цена 52 коп. 1977 г.

Цена 52 коп.

ТЕЗИСЫ ДОКЛАДОВ..., СЕРИЯ «МИКРОЭЛЕКТРОНИКА», 1977, ВЫП. 1(77), 1—88